

在硅 CMOS 上印刷 GaN HEMT

利用微转印技术，通过将高性能 GaN HEMT 与高集成度硅 CMOS 集成在一起，从而提高集成功率电子器件的效率。

Stefan Eisenbrandt 和 Ralf Lerner, X-FAB 公司



当今大多数功率 IC 的核心是三类硅的晶体管——横向扩散金属-氧化物-半导体设计，绝缘栅双极结构，或者超结结构。所有这些器件都可以处理高电压、高电流或两者同时。

根据摩尔定律，将这些晶体管微型化会带来性能的逐步改进，但代价是螺旋式的开发工作。更好的方式是革命性的性能提升，这可以通过集成 III-V 材料来实现。

用于功率电子器件的最有前途 III-V 器件之一，是 GaN HEMT。与所有形式的硅器件相比，它具有出色的开关速度，并且在考虑导通电阻和击穿电压之间的折衷时也具有优势。由于这些优点，GaN HEMT 可以实现新的、高

效的功率转换拓扑，这对于最先进的硅基器件来说也是不可想象的。

但是，我们暂时还不可能完全取消硅。请注意，双极 CMOS-DMOS 和高压 CMOS 技术已实现高水平的多样化，从而导致最高的设计复杂性。这些器件可用于智能功率 IC，这可实现数字控制逻辑与电源负载之间的接口。通过使用单片集成将输出功率器件定位在数字和模拟电路旁边，可以在同一芯片上组合信号处理、传感和保护电路。这种方法的其他好处是减少接口的数量、体积和电磁干扰。其结果就是提高了效率、性能和可靠性。

采用化合物半导体技术的工程师也在努力实现这些

硅基础智能功率 IC 类似的高级功能集成。目前正在寻求几种将 GaN HEMT 与数字和模拟电路集成的技术：基于 GaN 的智能功率 IC；硅上 GaN 的单片集成；硅上 GaN 的晶圆键合；以及我们正在德国的爱尔福特 X-FAB 半导体代工厂研究的方法：通过微转印技术（micro-transfer-printing）实现的异构集成（见图 1）。

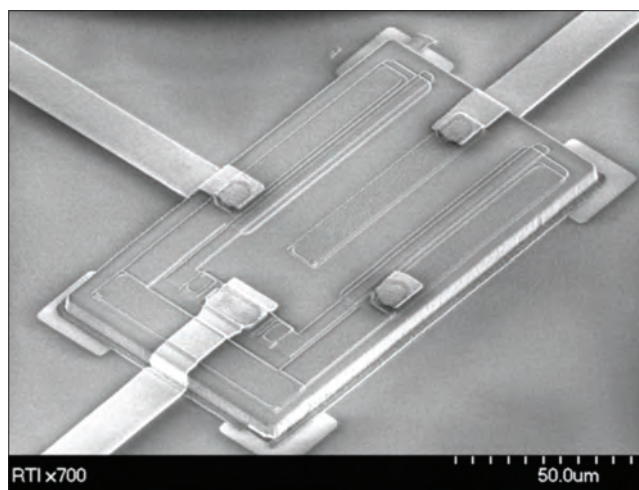


图 1. 微转移印刷可以在硅 CMOS 晶圆上定位 GaN HEMT，随后进行晶圆的金属化。

竞争方法

几个小组正致力于将 GaN 功率器件与 GaN 数字和模拟电路集成在同一基板上。这种方法的缺点是由于较差的空穴迁移率和缺乏高性能 p 沟道 GaN 器件，导致缺少类似标准硅 CMOS 电路拓扑结构的可行性。由于这些弱点，可能需要数年才能实现 GaN 基逻辑电路的高集成密度和功能多样化。

GaN 和硅 CMOS 的单片集成是将基于 GaN 的晶体管与 CMOS 逻辑电路结合在一起的另一种选择。两种器件均可在同一硅衬底上制造，采用定制的绝缘体上硅晶圆来为每种技术提供层级：<100> 取向的硅用于 CMOS 和 <111> 取向的硅用于 GaN。GaN 和硅晶体管不是垂直集成的，而是横向并排布置。

雷神公司的一个团队开创了这种方法。为了降低热预算，他们通过 MBE 而不是 MOCVD 沉积 GaN 层。为此付出的代价是较低的产能，使得这种方法不利于大规模生长需要较厚缓冲层的更高电压器件。

该方法的另外一些缺点是：材料不相容，例如晶格常数和热膨胀系数的显著差异；器件限制，例如热预算和接触金属化材料对 CMOS 兼容金属的限制；以及高成

本。请注意，由于与单片集成相关的分区问题，成本可能会急剧上升。例如，对于总面积为 10mm^2 的集成电路（包括 9mm^2 逻辑和 1mm^2 的 GaN HEMT），外延工艺的成本与全晶圆工艺相似，但外延层仅用于 1mm^2 的 GaN 区域。因此，每个 GaN 的面积成本以及每安培的成本都会高达十倍。

将 GaN 功率器件的优点与硅 CMOS 的优点相结合的另一种选择，是在其专用制造环境中制造每个器件，然后在芯片级将它们密集地组合在一起。通过这种方法，无需考虑材料和工艺的限制，每个器件都可以充分发挥其潜力。这是因为后处理工艺中通过晶圆键合进行了集成。

我们一直在通过由欧盟的地平线 2020 研究和创新计划资助的多伙伴项目 CMOS 上 GaN 来实现这种方法。2017 年 1 月启动的该项目，投资支持了 740 万欧元，旨在通过提供密集集成的材料，将 GaN 电力电子材料、器件和系统提升到新的成熟水平。该项目的关键目标是在材料、器件、模块和系统的整个价值链上，实现长期的可靠性改进。

微转印

我们项目的关键技术之一是微转移印刷（微转印）。与晶圆键合一样，它有助于 GaN 功率和硅 CMOS 器件的后工艺集成，但它也允许将微米尺度、高性能半导体器件确定性地组装和集成到非原生衬底上。

微转印的关键过程是通过弹性体印模从源晶圆上拾取大量的微型器件阵列，然后将这些器件印刷在回收晶圆上。这是通过在高精度、运动控制的打印头上容纳印

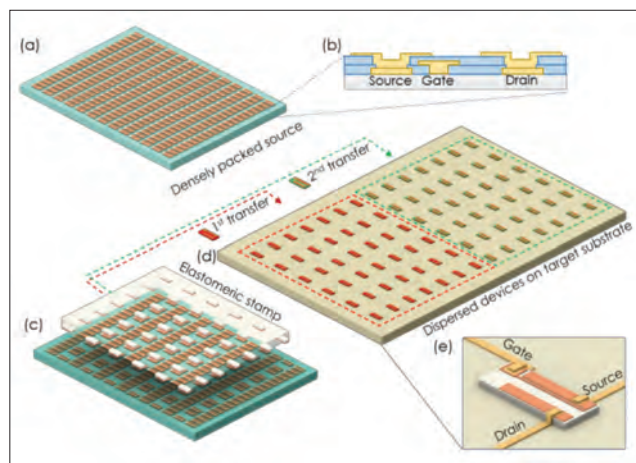


图 2. GaN HEMT 的微转印工艺概述。(a) 具有密集 HEMT 阵列的源晶圆，(b) HEMT 横截面，(c) 弹性体印模从源晶圆中移除 HEMT 阵列，(d) 新目标基板上的第一和第二印刷工艺，例如 CMOS 晶圆，(e) 晶圆上印刷的 GaN HEMT 的布线。

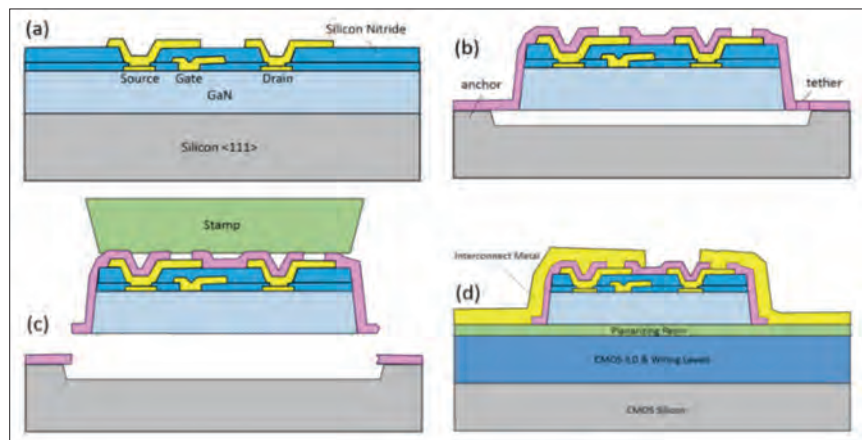


图3. GaN HEMT的异构集成工艺流程。(a) 晶体管在<111>硅衬底上制造。(b) 器件隔离、钝化然后底切。(c) 用弹性体印模拾取器件。(d) 器件印刷到硅CMOS晶圆上，然后使用薄膜铝线进行互联。

模来实现的。通过这种并行工艺，许多带有 GaN HEMT 的小芯片可以通过一次工艺来印刷到完全加工好的硅 CMOS 晶圆上（见图 2）。

大多数 GaN HEMT 在 <111> 取向的硅晶圆上生长和制造。为了使它们为微转印工艺做好准备，这些器件需要从其原生衬底上释放出来。

在我们所涉及的项目中，该步骤通过反应离子蚀刻进行，穿过器件层并向下到达底部硅衬底（参见图 3 (a)）。然后，为了钝化侧壁和形成束缚结构的锚，通过等离子体增强 CVD 来生长 SiN 层（参见图 3 (b)）。

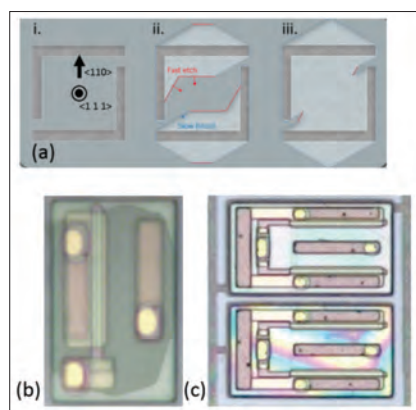


图4. (a) 器件下面的硅<111>湿法刻蚀。(b) 透过仅部分蚀刻的GaN HEMT观察，可以看到蚀刻的前沿。(c) 已经完全底切的GaN HEMT的光学显微照片，具有两种不同的束缚设计。

此后，使用高选择性、各向异性刻蚀溶液对器件下方的 <111> 取向硅进行湿法刻蚀（参见图 4 (a)）。由于所有 {110} 方向的蚀刻速率比正交方向要快一百倍以上，因此硅不会底切的区域仍然作为释放工艺的锚点（参见图 4 (c)，光学显微镜图像显示出两个完全底切、准备好印刷的不同束缚配置 GaN HEMT）。

利用弹性体印模的粘弹性质，然后从其源晶圆拾取 GaN 器件，并将其印刷在 CMOS 晶圆上。由于印模和 GaN 器件之间的高粘附性，当随后印模快速移动远离粘合界面时，束缚破坏，使得微型器件可以从其原生基板上拾取。我们使用了不同的方法来打印器件。这次将印模从粘合界面轻轻移开，使印模和器件之间的粘合力低于印模键合力。由于这个原因，印模与芯片分离，芯片粘到了新的非原生基板上。

在微转印工艺之后，通过标准晶圆制造工艺来

进行互连，例如薄膜沉积和光刻图案化（参见图 3 (d)）。采用这种涉及片上布线的方法，工艺温度不会超过 175℃，从而允许使用复杂的智能功率设计。

令人振奋的结果

已经制造出具有各种栅指配置、沟道宽度和栅漏间距的小尺寸 GaN HEMT（见表 1 的综合）。所有这些 HEMT 都是用相同的工艺生产，并且通过相同的衬底晶圆制成，其特征为 GaN 外延结构约 4μm 厚。使用上述工艺，HEMT 已经可以转移到两种类型的晶圆上：完整工艺后的硅 CMOS 晶圆；以及沟槽隔离的、绝缘体上硅的高压 CMOS 晶圆上。

直接在 CMOS 顶部印刷 HEMT 的好处不仅仅有最终器件的占地面积更小——它们还可以使逻辑电路和 HEMT 之间的布线更短，减少寄生电感和电容（请参见下页的“微转印的优势”中的详细优点列表。）

初始结果包括不受印刷 HEMT

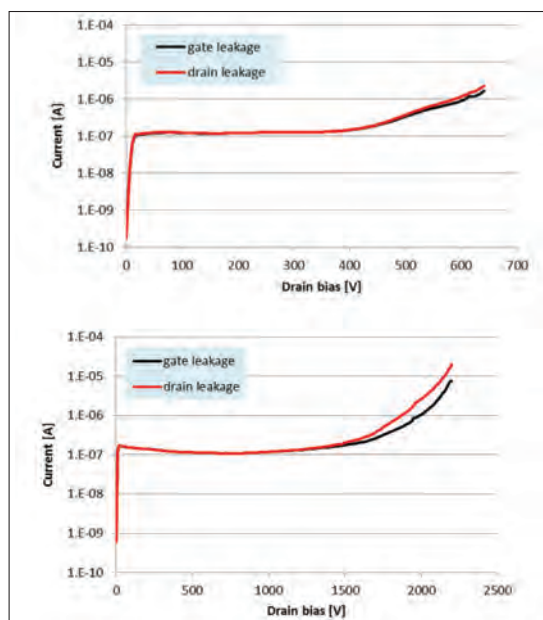
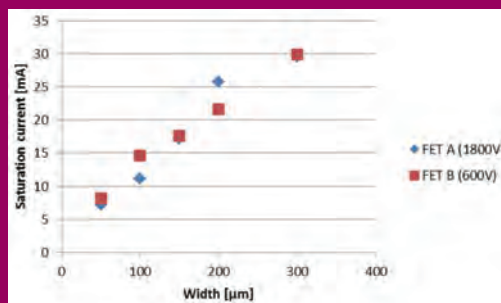


图5. 具有6μm（顶部）和17μm（底部）栅漏间距的HEMT阻断特性。

微转印技术的优点

微转印的优点有很多：

- GaN 缓冲层厚度可以在不显著牺牲印刷器件击穿电压情况下变薄。
- GaN 缓冲层的生长时间可以缩短，并且可以减少相关的机械应力问题。
- 采用较薄 GaN，在表面上路由印刷的 HEMT 时，拓扑步骤减少，即当金属轨道必须桥接印刷 HEMT 的边缘时。
- 根据栅漏间距来进行击穿电压的缩放，使得 GaN 器件的制造可以在同一工艺中，甚至同一晶圆上，都具有不同的击穿电压。
- 导通状态参数导通电阻和饱和电流的缩放有可能通过设计的沟道宽度来获得（参见右图）



两种电压等级下的 GaN HEMT 电流缩放与晶体管宽度的关系

- 通过消除与印刷相关的机械设计限制，可以相对于某些逻辑块实现印刷 HEMT 的放置。例如，可以实现 HEMT 与 HEMT 下方的堆叠 NMOS 或栅极驱动电路的非常接近。

Gate fingers	Total gate width [μm]	Gate-Drain spacing [μm]	Active device area [μm ²]	Printed device area [μm ² *)
1	50	17	2279	4956
1	50	6	1696	3983
1	100	17	4429	7614
1	100	6	3296	6063
2	150	17	5694	12264
2	150	6	3978	9052
2	200	17	7519	14280
2	200	6	5253	10540
4	300	17	10374	24675
4	300	6	6942	21000

*) including gate pads, source finger shorts etc.

表1. GaN HEMT 几何结构概述。

干扰的 20V NMOS 晶体管的特性，以及针对印刷 GaN HEMT 器件很有希望的室温、漏源阻挡模式的表征（见图 5）。使用氟惰性保护层来避免表面闪光和过早失效，印刷 HEMT 已经实现了在 600V 和 1800V 之间的阻断电压，这个电压取决于漏栅间距。

在释放刻蚀期间，去除了导电

硅衬底，从而允许在隔离的 CMOS 电介质顶部印刷 HEMT。这消除了通过硅的垂直漏电路，并且限制了击穿机制，从而击穿仅在 GaN 中横向产生。因此，击穿电压仅由栅漏间距决定。

另一项任务是进行 TCAD 的热实验设计，以

确定印刷在 CMOS 电路顶部的 GaN HEMT 热阻的主要贡献者。这一工作表明，由于 CMOS 介电层，热阻只有很小的增加，例如，它比晶圆和金属化厚度的热贡献要小得多。在 AC 条件下，HEMT 的厚度对热阻的影响要大于 CMOS 介电层。因此，如果我们所述的方式去除硅，同时实现可能的 GaN 缓冲层减薄，则 CMOS

氧化物层不会增加总热阻。

此处详述的结果已在器件级研究中实现。接下来的步骤将在正在进行的 MIIMOSYS 项目中进行，该项目由德国教育和研究部资助。该项目参与单位包括电子设计开姆尼茨有限公司，弗劳恩霍夫应用固态物理学研究所，TURCK duotech (TDU) 有限公司，Erlangen-Nuremberg 大学，Chair of Electron Devices 和 X-Celeprint 支持下的 X-FAB 半导体代工厂，目标是首先演示 GaN 晶体管到系统级的硅 CMOS 控制电子器件上的异构集成。未来研究的主题将是微转印制造工艺的后续步骤，所涉及 GaN 和 CMOS 器件的可靠性，以及用于电机和 LED 驱动的桥接驱动器 and 控制器 IC 的微转印器件封装应用。◆

扩展阅读

T. Erlbacher; "Lateral Power Transistors in Integrated Circuits", Springer, Heidelberg New York Dordrecht London, 2014
 "Power GaN Devices", edited by Matteo Meneghini, Gaudenzion Meneghesso, Enrico Zanoni, Springer International Publishing, 2017
 "Smart Power ICs", edited by Bruno Murari, Franco Bertotti and Guiovanni A. Vignola, Springer International Publishing, 2002
 R. Reiner et al., "Monolithically-Integrated Power Circuits in High-Voltage GaN-on-Si Heterojunction Technology", IEEE, 2016
 T. E. Kazior et al., "High Performance Mixed Signal and RF Circuits Enabled by the Direct Monolithic Heterogeneous Integration of GaN HEMTs and Si CMOS on a Silicon Substrate", IEEE, 2011
www.ganoncmos.eu