

MultiPlate: 下一代封装技术的创新解决方案

随着器件几何尺寸不断缩小，为了适应向更小尺寸发展并保持经济可行性，半导体封装技术也面临着持续的挑战。目前需要的是开发创新方法，从而经济有效地满足新出现的要求。

救正 个供应链的压力正在增加，其驱动因素则是很明显的——性能增强、功能更多、成本更低。对于下一代节点技术的投资可能过于庞大且不稳定，因此，业界正在转向高级封装以实现性能和功能的进步。

虽然目前尚不清楚哪种先进封装技术能够以最低的成本提供最佳的性能，但由于机会成本非常高，使得各公司必须积极参与和进行多种选择。

因此，行业和各公司正在评估一系列技术解决方案，以满足当前对先进封装的需求。相应地人们针对各种应用进行了许多研发评估：扇出/晶圆级封装（FOWLP，FIWLP），倒装芯片，扇出面板级封装（FOPLP），嵌入式芯片，2.5D 中介层，晶圆级芯片尺寸封装（WLCSP）等。封装研究人员和制造人员面临的挑战是开发具有前沿性的技术，与当前市场趋势相关并且有利可图，同时还能最大限度地降低机会成本。

当然，每个人都同意：迫切需要开发新的解决方案来应对先进封装的未来挑战。本文将探讨其中的一些挑战，以及如何通过重新思考传统制造方法来克服这些挑战。

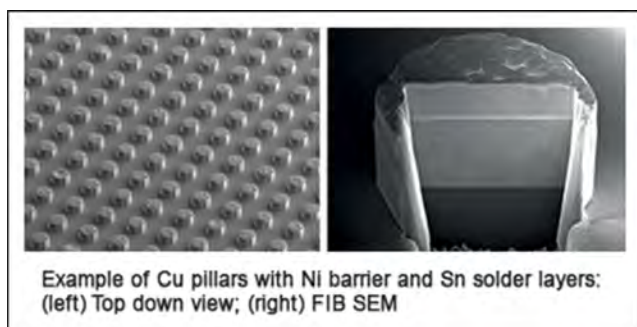


图1. 带镍镀层和锡焊层的Cu柱示意图

倒装芯片用高速铜柱电镀

由于“超越摩尔”方法获得成功，先进的封装应用受到更严格的审查。之前主流的传统引线键合已经被倒装



芯片超越，成为 45nm 以下节点的首选封装应用技术。自推出以来，倒装芯片就获得了相当大的市场份额，并且已经证明在技术上优于传统的引线键合，后者需要更大的引线面积并且提供有限的 I/O 密度。更重要的是，倒装芯片可显著提高热性能和电气性能。倒装芯片目前已经在大批量生产中占整个封装市场（200mm 等价折算）的约 16%。预计未来五年随着新建晶圆厂的稳步增长，倒装芯片的增长将相当可观。

在封装之前，通常有几种方法来将倒装芯片连接到基板上。主要的两种方法是焊接和使用 Cu 柱。倒装芯片 BGA 中使用焊接，这里用 SnAg 球将芯片连接到基板。不同的焊接方法都有一些限制——C4 焊膏印刷受到焊膏

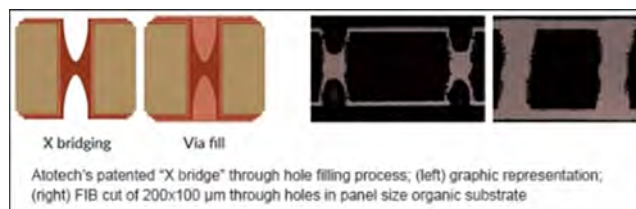


图2. Atotech获得专利的“X桥”填充工艺

作者：Cassandra Melvin, Atotech半导体先进封装部门 全球产品经理；
Bernd Roelfs, Atotech半导体先进封装部门 全球产品经理

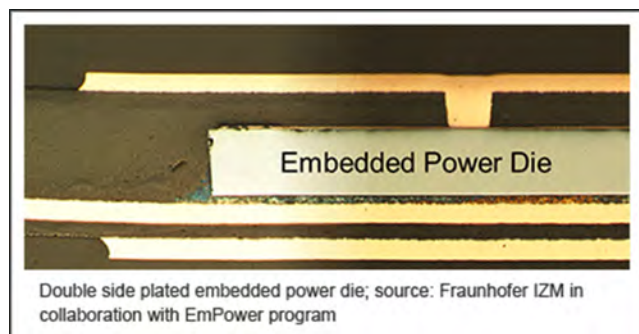


图3. 双侧电镀的嵌入式芯片

和印刷设备的限制，而微球放置已证明既缓慢又昂贵。

对于最先进的技术节点，倒装芯片中的首选互连技术是 Cu 柱。市场预期表明，在未来几年，铜柱技术具有巨大的潜力，并将在倒装芯片市场中保持增长领先。

两层 Cu 柱将芯片连接到 IC 封装——基板侧的大柱层和芯片侧的小柱，然后是可选的 RDL 层，以进一步增加 I/O 数量。在电镀期间，根据高度、直径和形状的工艺要求，电化学沉积 Cu 从而形成柱。通常，薄的电解 Ni 层（最多 $3\mu\text{m}$ ）会沉积到 Cu 的顶部，目的是抑制扩散和电迁移。最后，柱子上面盖上电解 Sn 或 SnAg。

柱状电镀的标准工艺要求包括优异的空隙性能、不均匀性小于 5%、以及 10 安培每平方米（ASD）的高电流密度电镀。这些参数中的每一个都对于整体产量、可靠性能和电镀工艺良率有帮助。因此，必须开发一种能够以高沉积速度沉积纯 Cu，而又不影响空隙性能和均匀性的柱状电镀技术，因为这两者都会影响电性能。

Atotech 公司独特的 MultiPlate 与其 Spherolyte 工艺相结合，满足 Cu 柱应用的所有性能要求，并提供比有记录的标准工艺更高的产能，系统产能达到每小时 50 片晶圆。使用反向脉冲电镀，该工艺针对所需的柱形和形状进行了最优化，从而减少突起或凹陷，并改善所沉积 Cu 的总体均匀性（ $<5\%$ WIP/WID/WIW）。在 MultiPlate 中，沉积速度（ $\geq 20\text{ASD}$ ），明显比传统的喷涂印刷机（ $\leq 10\text{ASD}$ ）更快，并且空隙性能得到加强。通过使用高纯度化学品并在电镀期间密切监控水浴部件，制备纯 Cu 沉积成为可能。由于系统在技术上的优越设计，使得所有这一切都可以实现。

中介层技术的 Cu 通孔填充

虽然目前尚未用于标准晶圆制造中，但是通孔填充（THF）已经被视为是针对大的硅通孔（TSV）中介层制造中有前途的替代方案，比如用于 MEMS 和图像传感器

应用。MultiPlate 的 THF 技术允许使用获得专利的“X 桥”填充工艺来直接电镀基板，在此期间，沉积的 Cu 在通孔中心形成“X”，随后形成两个通孔，然后使用双面电镀同时进行填充。这种通孔填充工艺已在玻璃上得到验证，而 Atotech 还可根据要求提供晶圆可行性。通孔填充工艺的主要优点是减少了高达 30% 的工艺步骤。

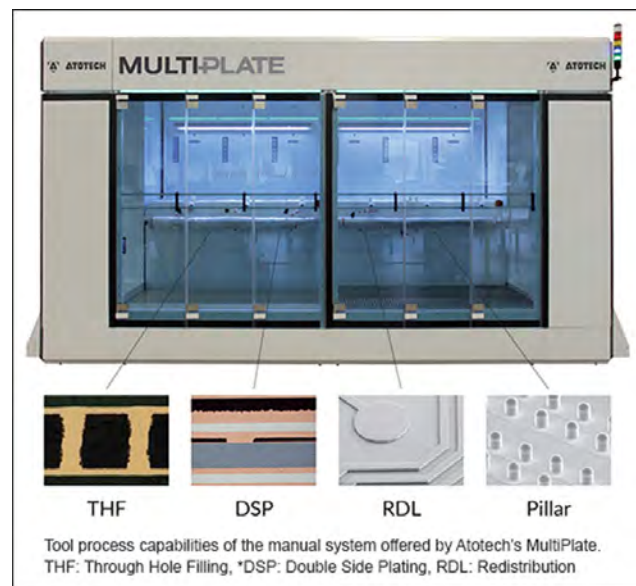


图4. MultiPlate设备可以满足多种工艺应用的要求

嵌入元件的双面电镀

对于组装技术，嵌入式芯片已确定为提高性能和降低制造成本的良好解决方案。嵌入式芯片是指在芯片封装层内的部件（无源元件和集成电路）集成。嵌入式有源和无源芯片的市场研究表明，该技术将在未来几年内得到广泛认可，特别是对于移动应用。具有嵌入式芯片的基板提供最小的形状因数和占位面积，因为芯片封装明显更密集，因此在 PCB 或 IC 基板上占用更少的空间。此外，当在两侧嵌入和电镀芯片时，工艺流程特别是电镀步骤的数量会减少。

嵌入式芯片还有许多其他优点，包括更高的集成度和更好的热性能和电性能。嵌入式芯片有助于实现个更短的电路通路，从而为整个封装提供更快的信号和整体电气性能。嵌入式芯片还提供了增加集成度的机会，并且能够在单个封装中容纳各种功能的多个芯片。

通常，在嵌入工艺期间，RDL 和背面金属化通过在晶圆或面板的每一侧溅射和电镀来单独完成。这是一项成本很高且设备投资巨大的工作，并且还可能会减缓生产流程。MultiPlate 的双面电镀能力使得能够在每个晶圆或面

板侧同时电镀非常不同的结构,例如用于背面金属化的大焊盘和 RDL 结构的细线。这种双面电镀技术已经成功验证,并且作为 EmPower 计划的一部分在嵌入式功率芯片中得到了广泛认可。

先进的铜沉积将继续成为先进封装的主流,但是也并非没有一定的局限性。有关 Cu 沉积的主要问题是,随着基板厚度减小,需要更厚的 Cu RDL 层(例如 FOWLP 中),翘曲是关键的工艺挑战。双面电镀通过同时 Cu 沉积,能够克服高端工艺中采用应力补偿的典型翘曲。这里的优势很明显,因为翘曲会对良率产生重大的影响。

对于嵌入式组件基于板级的制造,良率也是一个挑战。尽管如此,大批量制造商已经采用板级的低 I/O 芯片的嵌入式技术。这将在下一节中进一步讨论。

RDL电镀用于扇出晶圆/板级封装

嵌入式芯片的一个例子是扇出晶圆/板级封装,其中芯片放置在晶圆承载片上,并且封装是围绕它来构建。扇出已经存在很多年了,是封装制造的主要前景趋势之一。预计在未来几年内,在 $\geq 300\text{mm}$ 晶圆和板级应用的产能方面,将有更多的玩家参与进来。扇出是一种优选的封装方法,因为它设计用于显著增加 I/O 密度,减小占用面积和外形,部分原因在于它比倒装芯片更薄,因为它不需要封装基板。在扇出工艺中,再分布层(RDL)部分地镀在芯片和模塑树脂上。使用电镀后去除的金属或玻璃晶圆承载片,RDL 和第二层互联(SLI)焊盘保持开路,以便将焊球连接到 PCB。

由于使用了模塑树脂、更薄的基板和更厚的 Cu 沉积,翘曲是扇出中的关键工艺挑战。缺乏基础设施还带来了另一个挑战。设备和完整的工厂都无法处理大晶圆和板级尺寸,同时继续提供所需的良率。

扇出工艺可能很快就會在板级上进行,因为从较大的晶圆尺寸到板级,每片价格显著降低。然而,标准面板工具并非设计用于加工晶圆,并且往往比相应的晶圆工艺的

良率要低得多。部分原因在于板级工具的设计,以及它们未经过设计来满足最高 ISO 标准的事实。

MultiPlate 专门设计来满足晶圆和板级的下一代先进封装应用的严格要求,并可根据客户的生产要求来进行定制。凭借其双面电镀能力,它还有效地解决了翘曲问题。

MultiPlate: 专为性能而设计

随着制造成本和良率对供应链的所有成员逐渐变得至关重要,每个工艺的性能就至关重要。对于封装应用中的高端 ECD 工艺,当工艺、化学、在线分析和电镀设备都同步时,良率、产能和可靠性性能可以得到优化。如前所述,封装应用中的高端、下一代 ECD 工艺的主要要求包括高纯度沉积、不均匀性小于 5%、良好的空洞性能以及与目前市场上可获得的电流密度相比更高电流密度的电镀。

已经讨论过的主要工艺挑战都可以通过 MultiPlate 来克服——从晶圆到板级的迁移,薄基板工艺时的翘曲问题,时间敏感的生产,良率,以及最重要的是能够快速适应下一代技术。

MultiPlate 是下一代电镀工具,它提供了解决当前和未来挑战所需的多元性和多功能性,以实现先进封装技术的最佳性能。它是一种创新的电化学沉积电镀系统,专为灵活的研发和高端应用特定生产所需的卓越性能而设计,可定制用于通孔填充以及 RDL 和柱状结构上的单面和双面电镀,这是许多封装所需的工艺,比如倒装芯片,嵌入式功率组件(包括扇出)等多种应用。

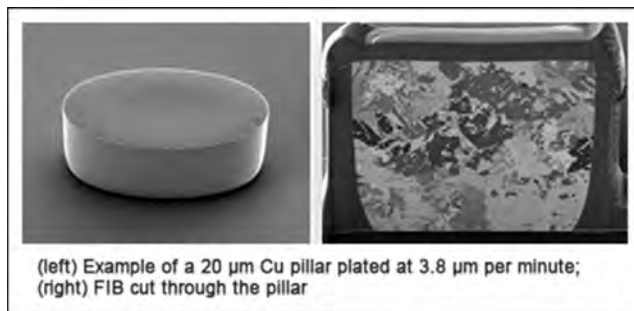


图6. 镀铜柱的外形和横切面照片

MultiPlate的卓越设计包括以下特征:

- **镀铜用外形稳定的惰性阳极**: 通过整个表面上的可调电流分布,实现晶圆/板内的均匀性优化。由于实施了分段惰性阳极——两个段用于 150 或 200mm,三个段用于 300mm 或面板,从而使其能够实现。

- **先进的流体系统**: 采用先进流体系统 (AFS) 实现



图5. MultiPlate专门设计来满足晶圆和板级的下一代先进封装应用的要求,并可根据客户的要求进行定制。

最佳的电解液流量分配。从阴极（晶圆 / 面板）到分段阳极的短距离提供了直接流动和优异的搅拌。这两个性能都是高速电镀（电流密度 $\geq 20\text{ASD}$ ）和优异的厚度均匀性所必需的。

• **Cu 溶解单元**：通过保持溶液槽中杂质掺入最少，从而优化空洞性能和均匀性。通过在电镀时用外部单元监测和补充 Cu 的浓度，从而不需要中断生产。使用智能软件、算法、指定测量的极限和频率，从而来保持最佳的电镀结果。

• **自由编程的机械搅拌**：使用可自由编程的机械搅拌机构可提高整体均匀性。这种机构允许晶圆承载片的移动——从阳极到阴极仅降低 35mm，这消除了喷雾和流动模式的风险，从而改善了均匀性。

• **多用途整流器**：反向脉冲电镀对于高速柱状电镀实现理想的轮廓（无突起或凹陷），同时获得 Atotech 专利的“X 桥”通孔填充技术是必不可少的。“X 桥”通过双面电镀晶圆 / 面板，从而在每个晶圆 / 面板侧面形成两个盲孔而实现。接下来，使用标准电解电镀工艺填充通孔。对于双面电镀工艺，可以针对每个晶圆或面板侧独立地调整电流参数，从而来支持不同的设计布局和电镀厚度要求。

• **基板支架**：对于 150、200 或 300mm 晶圆和面板的干接触，可提供单面和双面电镀的基板支架，并且能够处理薄的 Taiko 晶圆和玻璃。

• **快速晶圆处理**：自动装载 / 卸载站设计用于高产能——每小时约 50 片晶圆，卸载后会有最后的冲洗和干燥站。

Substrate and Dimensions	Process Results
Organic substrate Panel 200 μm by 100 μm through holes 2 : 1 aspect ratio (AR) 60 min process time	
Organic substrate 200 mm wafer 275 μm by 115 μm through holes 2.4 : 1 AR 80 min process time	
Glass substrate 200 mm wafer 290 μm by 80 μm through holes 3.6 : 1 AR 95 min process time	
Various images of through hole filling with corresponding filling times, dimensions, and aspect ratios	

图7. 不同的通孔填充的图片

• **易于维护**：MultiPlate 设计为易于使用，采用直观的人机界面，符合最新的 ISO 和洁净室标准。完全封装的生产线和模块化方法意味着可以通过快速访问子单元来简化维护。

旨在提供卓越结果

MultiPlate 有效地补充了 Atotech 验证过的 Spherolyte 工艺，提供无与伦比的 ECD 工艺，从而实现改进的、具有成本效益的制造流程和更好的性能。

高速铜柱电镀

- 高速柱式电镀 ($\geq 20\text{ASD}$ 或 $4\mu\text{m/min}$)
- 出色的均匀性 ($<5\%$ WIW, WID, WIP)
- 高纯铜沉积
- 均匀的 Cu 晶粒结构
- 优异的空洞性能，消除了 Cu 柱上 Ni 扩散阻挡层的需求

通孔填充能力

- 减少工艺步骤 ($\geq 30\%$)，意味着更高的产量
- 脉冲反向选项允许通孔填充

用于下一代封装技术的双面电镀

- 通过在晶圆或面板两侧同时电镀来进行翘曲补偿
- 减少工艺步骤 ($\geq 30\%$)，消除制造复杂性
- 优异的均匀性 ($\leq 10\%$ WIW)
- 高纯铜沉积
- 均匀的 Cu 晶粒结构

市场进入预期

目前安装在柏林技术中心的 Atotech MultiPlate 系统已全面投入运行，可以进行额外的晶圆级可行性研究以及 150mm、200mm 和 300mm 晶圆的 POR 测定。第一个自动晶圆系统于 2016 年 4 月发货，而第一个半自动面板系统于 2016 年 7 月交付。

下一代封装技术

随着 MultiPlate 的加入，Atotech 现在拥有了独特的地位，能够为客户提供电镀方面的一站式服务，为 ECD 封装应用提供高纯化学、电镀设备和工艺开发。公司开始

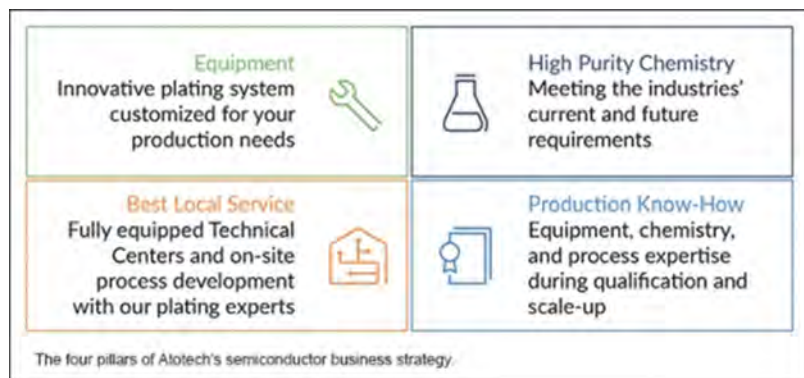


图8. Atotech 公司的半导体业务策略

于将其专业技术从其行业领先的印刷电路板上单面和双面电镀工艺和设备，转移到其柏林技术中心专门的优化这些技术应用于半导体封装应用。

一个多世纪以来，Atotech 为电子行业提供了领先的技术解决方案——包括高度专业的化学和电镀设备。他们深入的电镀技术是建立在 M & T Chemicals 和 Schering Galvanotechnik 的全面传统之上的。多年来，Atotech 一直致力于开发具有可测量的领先的、生态化的和价格有竞争力的技术。在竞争中保持领先并能够满足行业对下一代技术的需求，一直是 Atotech 全球战略的基础。因此，向半

导体设备市场的迁移只是一项自然而重要的工作。自 2006 年成立以来，Atotech 的半导体能力就一直在稳步增长。其半导体部门的成功体现在其不断扩展的全球网络和客户名单之中。

公司的优势不仅在于其全面的专业知识和领先的技术解决方案，还在于其训练有素的专家团队以及与客户保持密切联系的能力。他们的技术中心和系统方法（配备电镀制造设备并由技术专家管理的区域技术中心）使

他们能够为全球所有关键地点的客户提供支持。他们将重点扩展到包括先进封装设备的决定，主要就是为了向客户提供一站式购买服务，并探索半导体制造领域的未知领域：晶圆和面板上的双面电镀，玻璃和有机基板上的电镀，以及使用众所周知的反向脉冲系统进行高速柱状电镀。

有了 MultiPlate 以后，Atotech 再次提出了最先进的解决方案，从而能够应对当今行业所面临的主要挑战。它明显优于市场上可用于标准 RDL 或柱状电镀的传统电镀工具，并提供了克服下一代技术将会出现技术障碍的关键特性和功能。◆

《中国集成电路产业人才白皮书(2017-2018)》发布

中国电子信息产业发展研究院和工信部软件与集成电路促进中心近日在京联合发布的《中国集成电路产业人才白皮书(2017-2018)》显示，截至 2017 年底，我国集成电路产业现有人才存量约为 40 万人，根据产业快速发展需求，人才呈现稀缺状态，专业人才培养力度有待提高。

据白皮书统计分析，到 2020 年前后，我国集成电路产业人才需求规模约为 72 万人，截至 2017 年底，我国集成电路产业现有人才存量为 40 万人左右，人才缺口达 32 万人，年均人才需求为 10 万人左右，而我国每年高校集成电路专业领域毕业生中仅有不足 3 万人进入本行业就业。目前，单纯依托高校并不能满足产业发展对专业人才的供给需求。

白皮书显示，2017 年到 2018 年上半年，我国集成电路产业设计业人才需求数增幅趋于稳定，但高端设计人才

紧缺的状况并没有得到改善。制造业受产能扩张影响，人才需求保持高速增长，国内制造业企业对于人才争夺的恶性竞争现象较普遍，应引起高度重视。

针对集成电路行业人才流失率较高的问题，白皮书统计分析后发现，我国集成电路行业的平均薪资水平为每月 9120 元，在统计分析的 52 个行业中排名第 6 位，较金融、移动互联网领域的平均薪资还有较大差距。

白皮书建议，为应对人才稀缺问题，应大力发展职业培训并开展继续教育，加大海外高层次人才引进力度，采取多种形式大力培养和培训集成电路领域高层次、急需紧缺和骨干专业技术人才。同时，我国集成电路产业需进一步优化人才配置，保障人才供给数量，提高人才供给质量，有效缓解产业高速增长而人才供给严重不足的问题。◆