

3D 集成

整合 InP, GaN 和硅 CMOS

多材料堆叠器件实现了无与伦比的性能, 这归功于有源衬底、晶圆键合和散热通孔。

与硅基技术相比, 采用 III-V 族材料制造的器件具有卓越的高频性能和更好的功率处理特性。然而, 这并不是说硅不能发挥作用。由 III-V 族材料制成的电子器件平台缺乏集成的低功耗数字逻辑电路, 所以当它们用于制造复杂的基于 III-V 族材料混合信号系统时, 它们必须在某种程度上与硅 CMOS 相连接。

如果通过紧密异构集成将这两个材料系统结合在一起, 这可以为新型微系统打开大门, 将 III-V 族晶体管的性能与 CMOS 的巨大 IP 和制造资源相结合。其中一个关键挑战是确保异构集成工艺不会损害 III-V 族器件的本征性能。

有许多不同的方法可以实现化合物半导体和硅的异构集成 (参见图 1 的概述)。一种选择是简单地将由不同材料制成的器件平铺到中介层上。通过这种被称为 2.5D 集成的方案, 所有材料必须形成合适的机械和电气接口。一般来说, 这不是太棘手, 这要归功于诸如凸点键合和热压键合等技术。但是, 如果布线密度太高, 则底部中介层可能过于昂贵。

可以解决这个缺点的变化是使用中介层, 这也是常用的有源器件衬底, 例如硅 CMOS。采用这种方法, 一些中介层的成本可能会降低, 因为它预先填充了技术。另一个优点是密集的布线环境。然而, 这些优点可能会由于芯片内寄生损耗所掩盖, 这会阻止系统达到每项技术的内在性能。

通过在共同衬底上进行所有技术的外延生长可以避免这种缺陷。这种方法的另一个优点是器件可以共享同一个布线环境。然而, 主衬底很昂贵; 并且由于厚的外延缓冲层, 可能会导致器件热管理不好。

在 Teledyne Scientific and Imaging, 我们最近展示出

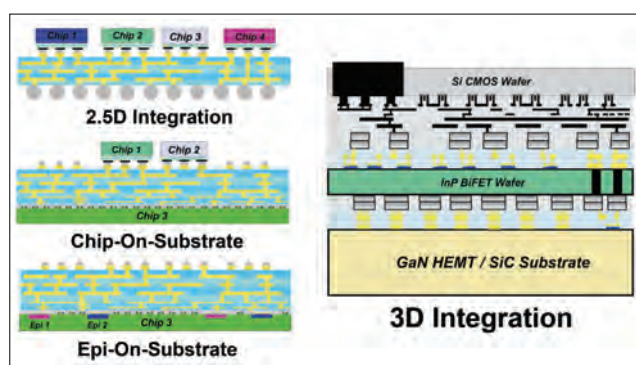


图1. 有多种选项可用于实现化合物半导体的异构集成。

后一个问题并非不可逾越。使用混合融合晶圆键合进行电气互连, 我们形成集成了硅 CMOS 与 InP 和 GaN 技术的叠层。这些叠层具有高热导性的 SiC 衬底, 从而可以改善热管理。

我们的三种技术叠层将硅 CMOS 与 InP BiFET (同一衬底上的 HBT 和 HEMT) 和 GaN HEMT 结合在一起。我们技术的优点包括最小的不同技术间电学寄生效应和适用于所有类型器件的充分散热。

我们的三种技术叠层顶部为硅 CMOS。这是由较低功率的器件组成, 因此需要最少的散热。其下是 InP 器件技术, 其中 InP 衬底减薄至 $10\mu\text{m}$, 并正面键合到位于叠层底部的 SiC 上 GaN 衬底, 以确保最佳散热。

我们使用 Tessera 直接键合互连 (DBI) 技术将一种材料系统粘合到另一种材料系统上。这种方法采用嵌入介质中 (在这种情况下为二氧化硅) 的铜通孔以及每个衬底之间的电接触, 这些衬底以面对面或背对面的方向与另一衬底对齐。异构互连通孔的间距仅为 $5\mu\text{m}$, 所以对于芯片尺寸 1cm^2 , 有可能具有多达 400 万互连。为了将 InP 连

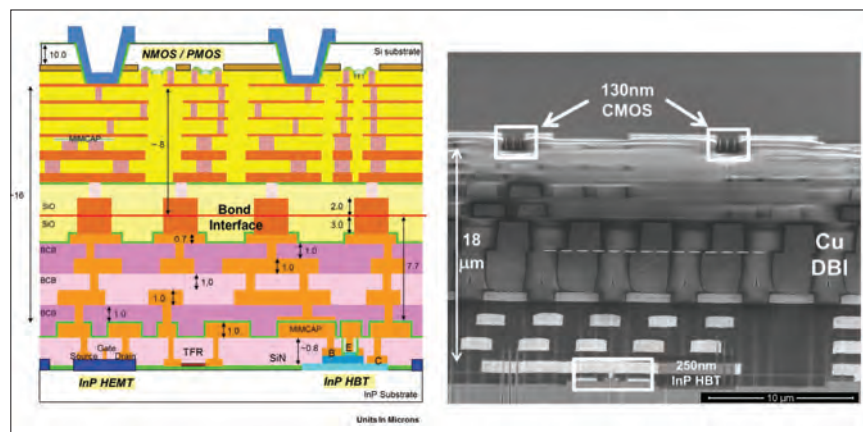


图2. 硅/InP晶圆堆叠：该技术的横截面示意图，以及完整工艺的FIB/SEM横截面。

接至 GaN，在 InP 中形成钨贯穿衬底通孔，并且在薄化的 InP 的背面和 SiC 上 GaN 衬底上形成直接键合互连。

我们在开发三叠层技术方面所做的努力已经分为两个独立但互补的方向：硅/InP 面对面键合和 InP/GaN 背对面键合。

InP 和硅 CMOS

硅和 InP 的面对面连接可实现 3D 异构集成，为空间受限的微系统带来显著优势。例如，考虑目前用于雷达和高数据速率通信系统的射频波束形成器 IC，它们由一系列增益和相位控制的接收机和发射机通道组成。通过控制每个通道的增益和相位，有可能引导波束形成器的辐射方向图的主瓣的电子束。为了产生最大的扫描角度，所有发射器/接收器的天线放置在网格上并且间隔开等于波束形成器中心频率的自由空间波长的一半距离。有了这些射频系统，趋势就是转向更高的频率，所以天线必须放在一起。其中一个后果就是系统封装约束发挥作用。然而，这不是我们技术的主要问题，因为我们的 3D 集成形式将硅控制逻辑与 InP 紧密接近，并且可以在毫米波频率下实现理想的栅格间距。

我们毫米波频率工作的波束形成器的关键构件是我们的 250nm InP HBT 技术。这些具有 250nm 发射极宽度的器件结合了 f_t 和 f_{max} 最大值分别为 360GHz 和 700GHz，具有共发射极击穿电压为 4.5V。

我们还开发了 InP BiFET 工艺，InP/InGaAs HBT 和 InGaAs HEMT 在同一 InP 衬底上共面。HEMT 为开关式发射/接收通道提供低噪声放大器和射频开关。

我们的标准 InP HBT 布线环境采用：苯并环丁烯绝

缘体，其介电常数为 2.7；三层电镀金布线；以及薄膜电阻器和金属-绝缘体-金属电容器无源元件。InP 器件通过硅制做的器件来补偿，后者采用格罗方德的 130nm 硅 CMOS 工艺。这种 CMOS 技术提供六层铜金属布线和无源电路元件。

为了设计 InP 和 CMOS 器件布局并模拟所得到的电路，我们使用了集成的 Cadence 工艺设计套件。它可以同时应用于这两种技术，其优点包括

设计规则检查以及布局和原理图检查。

为了将直接键合互连技术应用于 InP，我们修改了标准的后端线路布线环境。调整包括提高对基板和金线的介电粘附性，并为 100 毫米 InP 衬底开发化学机械抛光工艺。我们发现，应用连续几次的等离子体增强 CVD 二氧化硅，然后进行化学机械抛光，有助于去除加工晶圆顶部的非平面。在此之后，我们对抛光后的二氧化硅进行图案化和刻蚀，并用电镀铜填充以形成互连。

针对硅 CMOS 晶圆，我们使用类似的工艺。在这种情况下，一旦晶圆键合，硅晶圆就研磨并抛光直到它仅有 10μm 厚，然后在晶圆的背面形成接合焊盘，连接到 CMOS M1。

我们用扫描电子显微镜仔细研究了所得到的结构（见图 2）。横截面图像显示出 InP HBT 和 CMOS FET，并显示这两种技术之间的 M1 到 M1 的垂直距离约为 18μm。这足够短到用来确保金属化层之间的低寄生互连。

我们的结构已经用于使接收器和发射器波束形成器信道工作在 40GHz 的 Q 波段下。接收器信道包括一个 InP HBT 低噪声放大器，一个 InP HBT/硅 CMOS 3 位可

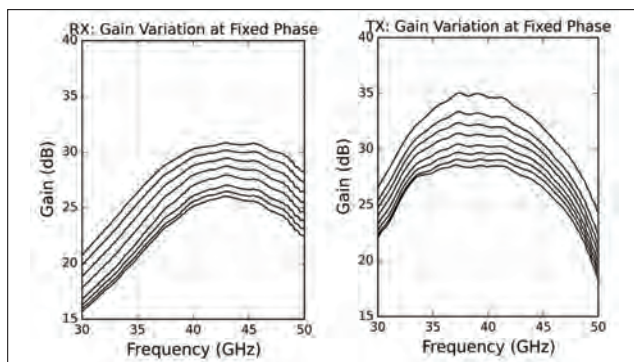


图3. 固定相位状态下对于所有状态的InP/硅Q波段接收器和收发器通道RF增益。

我们的射频波束成形器研发工作使用了各种异构集成策略，我们的工作已证明：3D堆叠可为射频和混合信号毫米波应用提供紧凑型电路设计。

变增益放大器，以及一个 InP HBT/ 硅 CMOS 4 位移相器。在发射器信道内，有一个 InP HBT/ 硅 CMOS 4 位移相器，一个 InP HBT/ 硅 CMOS 3 位可变增益放大器和一个 InP HBT 功率放大器。

直流和射频性能的表征表明，接收器功耗为 240mW，而发射器的功耗为 1W。对于接收器，40GHz 时的可变增益控制是 25.1dB 到 30.3dB，而发射器则是 28.4dB 到 34.6dB（见图 3）。在此配置中，40GHz 附近的最高增益状态的 1dB 带宽为接收器 10GHz，而发射器为 8GHz。接收器和发射器在 40GHz 时的均方根相位误差分别为 4.6 和 4.8 度。对于收发器信道，40GHz 时的饱和射频输出功率为 20.3dBm（107mW）。根据

配备有工厂安装噪声系数硬件（阻抗调谐器和低噪声接收器前端）的是德科技 PNA-X 的测量结果，40GHz 时的信道噪声系数约为 4.2dB。这与单独的低噪声电路模拟非常吻合，包括键合垫损耗，它显示出 4.0dB 的噪声系数。

结合 GaN 和 InP

由于其 3.4eV 高能隙，GaN HEMT 结合了出色的高

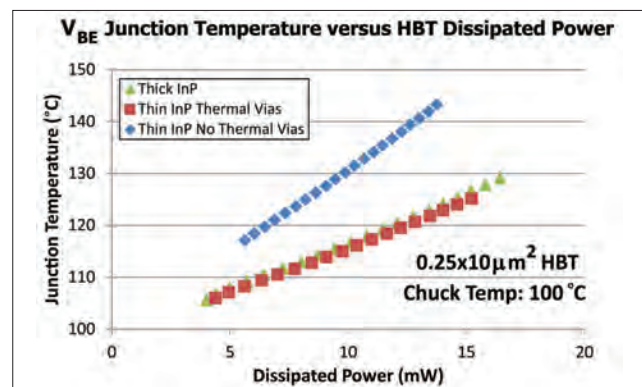


图5.根据基极-发射极结温的测量结果，热通孔允许减薄的InP提供作为基准器件的等效热管理。

频性能和高击穿电压。但是，这些放大器在毫米波频率下可能具有低至中等的增益，因此需要高功率输入信号才能驱动其进入压缩。

一种可能的解决方案是在 GaN 级之前插入高效 InP 驱动放大器。InP HBT 技术提供的大带宽允许在毫米波频率下实现高功率附加效率设计。

为确保两种器件的最佳散热性能，InP 和 GaN 技术必须采用背对前端晶圆键合进行堆叠。另一个先决条件是使用贯通衬底通孔来电互连衬底。

我们通过用 Cl₂ 基气体干法蚀刻 InP 衬底来形成通孔。使用优化的条件，高达 8 : 1 的高宽比是可能的。在我建

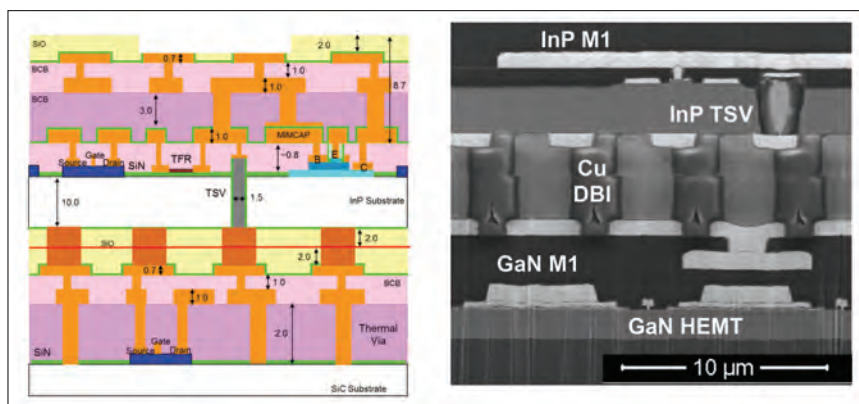


图4. InP/GaN晶圆堆叠：技术的横截面示意图，以及完整工艺的FIB/SEM横截面。

混合结构期间，我们的目标是 10µm 深的贯穿衬底通孔。蚀刻后，通过 CVD 用钨填充通孔。任何多余部分都使用化学机械抛光去除，从而留下 InP 表面挖槽的钨通孔。

在形成贯穿衬底的通孔之后，我们采用标准的 InP 器件工艺流程。在后端低 k 电介质和金属化步骤之后，我们准备最上端晶圆表面用于平面 SiO₂ 键合到临时硅支撑晶圆上。这种键合的强度和平面性允许 InP 衬底可以减薄到仅 10µm，从而露出贯穿衬底的钨通孔。

下一步是在 InP 衬底的减薄背面添加铜直接键合互连图案。这将 SiC 上 GaN 衬底与电话性键合结合在一起，然后通过研磨和干法蚀刻的组合来去除硅支撑。

使用扫描电子显微镜检查该结构的横截面，显示了最终 InP 厚度小于 10µm 的目标—这里只有 4µm（见图 4）。这个缺点将通过改进的衬底通孔暴露工艺来加以解决，从而工艺将确保未来批次的晶圆能够有一致的减薄。

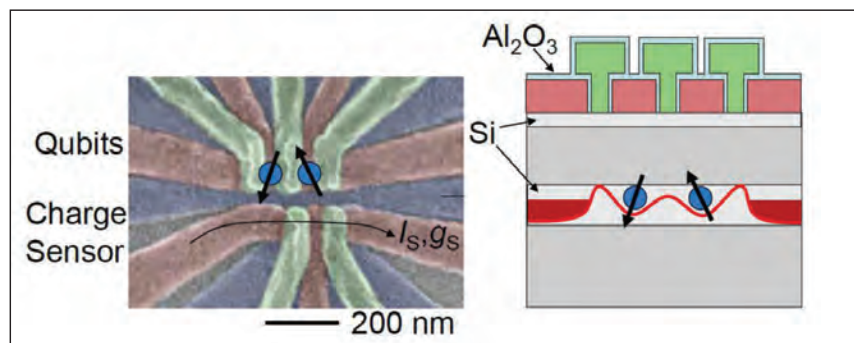
我们的 InP HBT 和 GaN HEMT 进行了 DC 和 RF 性能表征。对键合前后结构的测量表明，集成前后的特征保持相似。

下接第39页

有着超级能力：传统的比特位可以表示 0 或 1，而每个量子比特可以同时为 0 和 1，从而大大扩展了可以立即比较的可能排列的数量。普林斯顿大学物理系研究生，该研究的第一作者 David Zajac 说：“我们面临的挑战是，建造小到足以捕获和控制单个电子，而且又不会破坏其长存储时间的人造结构，这是非常困难的。这是硅中两个电子自旋之间纠缠的首次演示，这是已知能够为电子和状态提供最干净净环境的材料之一了。”

研究人员展示他们可以使用第一个量子比特来控制第二个量子比特，表示该结构起到了受控 NOT (CNOT) 门的作用，这是常用计算机电路元件的量子版本。研究人员通过施加磁场来控制第一个量子比特的行为。栅极根据第一个量子比特的状态产生结果：如果第一个自旋朝向为上，那么第二个量子比特的自旋将会翻转；但如果第一个自旋朝向为下，第二个自旋将不会翻转。

“如果另一个粒子处于特定的配置状态，那么栅极基本上来水就是只会对一个粒子做一些事情，” Petta 说。“一个粒子发生什么取决于另一个粒子。”研究人员表明，他们可以保持电子自旋的量子态，保真度超过



99%，并且栅极可以可靠地工作，能够以约 75% 的几率翻转第二个量子比特的旋转。据研究人员称，该技术有可能以更低的误码率扩展到更多的量子比特上。

加州大学洛杉矶分校物理与天文学教授 Hongwen Jiang 表示：“这项研究在全球竞争中脱颖而出，展示了硅基量子比特中用于量子计算的基本构建模块 CNOT 门。两量子比特操作的误码率是明确无疑的基准测试。特别令人印象深刻的是，这是一个非常困难的实验，需要精密的器件制造和精确的量子态控制，而这却是在一个仅有少数研究人员组成的大学实验室中完成的。”普林斯顿大学的其他研究人员是研究生 Felix Borjans 和副研究员 Anthony Sigillito。该团队还包括了 Jacob Taylor 在理论方面工作的投入，Jacob Taylor 是国家标准与技

术研究所和马里兰大学联合量子研究所和量子信息与计算机科学联合中心的教授，此外还有德国康斯坦茨大学的 Maximilian Russ 和 Guido Burkard。

该研究由美国陆军研究办公室的 W911NF-15-1-0149 项目，戈登和贝蒂摩尔基金会的 EPiQS 计划 GBMF4535 项目和国家科学基金会的 DMR-1409556 项目来赞助。器件是在普林斯顿大学量子器件纳米加工实验室制造。

David M. Zajac, Anthony J. Sigillito, Maximilian Russ, Felix Borjans, Jacob M. Taylor, Guido Burkard 和 Jason R. Petta 撰写的研究报告“共振驱动电子自旋 CNOT 门 (Resonantly drives CNOT gate for electron spins)”2017 年 12 月 7 日在线发表在《科学》杂志上。◆

上接第32页

尽管 InP 的减薄远低于其目标值，但器件仍保持其性能，即使它们位于高热阻材料例如二氧化硅和苯并环丁烯之上也是如此。成功源于热通孔，其将来自 InP 衬底的热量分流到低热阻的 SiC 衬底。

我们的工作突出了 3D 晶圆堆叠在化合物半导体电路设计中的好处。得益于我们的射频波束成形器研发工

作，使用各种异构集成策略，3D 堆叠已证明可以为 RF 和混合信号毫米波应用提供紧凑的电路设计。

这项研究是在国防高级研究计划局 (DARPA) 资金来源的基础上发展起来的。所表达的观点，意见和 / 或结论是作者的观点，意见和 / 或结论，不应被解释为代表国防部或美国政府的官方观点或政策。◆

参考文献

1. D. Green et al., CS-Mantech 2014
2. A.D. Carter et al., Indium Phosphide and Related Materials 2017
3. A.D. Carter et al., International Microwave Symposium 2017
4. Z. Griffith et al., Semiconductor Integrated Circuit Symposium 2014