

社长 Publisher

麦协林 Adonis Mak
adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao
sunniez@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International
香港九龙 B,13/F, Por Yen Bldg,
长沙湾青山道478号 478 Castle Peak Road,
百欣大厦 Cheung Sha Wan,
13楼B室 Kowloon, Hong Kong
Tel: (852) 2838 6298
Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200
Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988571
Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business
Communications Ltd.
6 Bow Court,
Fletchworth Gate,
Burnsall Road, Coventry,
CV56SP, UK
Tel: +44 (0)1923 690200
Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970

编者寄语

Editor's Note

不断探索下一代芯片之路

随着传统 CMOS 器件尺寸减小临近极限，传统的 CMOS 尺寸缩小正变得越来越复杂和昂贵，越来越多的行业专家认为，成本和复杂性已经增加到只有最大的晶圆厂和半导体制造商才能竞争的地步，寻找新途径替代现有的尺寸缩小路线图已经势在必行。

半导体制造商和研究人员几乎都在努力解决复杂性、成本和风险等问题，从而新的晶体管和集成电路技术正在不断涌现。本期杂志的封面故事文章探索了针对 10 纳米以下器件的几个领先的、有前景的途径。

包括开发极紫外 (EUV) 光刻来取代多步图案浸没光刻，ASML，英特尔和三星最新的预测表明 EUV 正在达到稳定。英特尔、三星和台积电都表示未来 1-2 年内于 7 纳米和 5 纳米的技术节点上将使用 EUV。但是在此之前，业界预计将转移到 3D 设计。与此同时，主要制造商正在寻求尺寸减小的新的替代方案，可能避免采用 EUV 或延迟其推出时间。

半导体器件的垂直堆叠已成为一种用来实现更高器件密度和更高性能的越来越可行的方法。针对高性能的未来晶体管设计将包括可以使用键合和堆叠器件的各种 3D 架构以及替代技术，比如由 Globalfoundries，意法半导体，CEA Leti 和三星等众多公司领衔的完全耗尽型绝缘体上硅 (FD-SOI)。原子尺度沉积和刻蚀将可能支持这些技术策略，因为材料科学在支持新架构和工艺技术方面将继续发挥更大的作用。

定向自组装 (Directed Self Assembly, DSA) 代表了比 EUV 更低成本和更高产能的解决方案，并且 DSA 和 EUV 是互补的，Brewer Science 公司与 Arkema 集团合作，促成了第一代 DSA 聚合物的大批量生产。

微机电系统 (MEMS) 传感器是不受限于 300 毫米晶圆厂的先进技术。MEMS 设计不依赖尖端硬件，通常使用传统的 200 毫米技术和制造工艺。

研究人员和制造人员还在努力创造融合数种非传统方法的混合技术，包括碳纳米线，FDSOI 以及不同类型的晶圆键合。预期在 7/5 纳米大量采用之前，将有 FinFET 和其他 10 纳米架构的多次迭代。

近日，又有两项新的技术发布值得关注的：一是应用材料公司取得突破性进展：用钴取代钨和铜，性能提升高达 15%。这是 20 年来晶体管接触和互联的金属材料首度重大变革，消除了 7 纳米节点及以下的主要性能瓶颈。二是 NetSpeed Systems 推出业界首款以人工智能为基础的 SoC 芯片内部互连解决方案 Orion AI。方案作为下一代 SoC 技术的核心，颠覆了传统芯片的总线互连设计方法，通过“互联网”式的芯片内互连设计，支持多播与广播等先进特性，将人工智能赋能与 SoC 设计与架构，为下一代人工智能 SoC 与加速器 ASIC 的极致性能与效率。

总而言之，众多半导体制造商和研究人员正在寻求新途径，创新新工艺和材料，为下一代芯片寻找性价比更好，性能更高的解决方案。

赵雪芹

