

找寻下一代芯片之路

随着传统CMOS器件尺寸减小的极限临近，制造商和研究人员几乎都在努力解决复杂性、成本和风险等问题，从而新的晶体管和集成电路技术正在不断涌现。众多制造商和研究人员正在寻求新途径，创新新工艺和材料，为下一代芯片寻找性价比更好，性能更高的解决方案——Silicon Semiconductor杂志的技术编辑Mark Andrews在本文里介绍探索了10纳米以下器件的几个领先的、有前景的途径。



寻找新途径

世界上一些最大的半导体制造商、无晶圆厂设计公司、创业公司和材料创新公司都有一个共同的目标：为下一代器件技术创造降低复杂性和成本，同时提供更好性能的路径。

越来越多的供应链行业专家认为，成本和复杂性已经增加到了只有最大的晶圆厂和设备制造商才能竞争的地步，寻找新途径替代现有尺寸缩小路线图已经势在必行。尽管全球晶圆厂领导者可以从与其独特的产品路线图相关的数十亿美元投资中受益，但其他技术的机会也在增长；研究人员不断寻求替代方法和新方法，以避免知识产权和专利问题，同时提供产生更快、更安全技术的手段。

微机电系统（MEMS）传感器体现了不受限于 300 毫米晶圆厂的先进技术。MEMS 设计不依赖尖端硬件，通常使用传统的 200 毫米技术，包括翻新工具和完善的制造工艺。这些工厂可以找到充足的高质量，训练有素的操作人才库和急于进入游戏的服务专家库。

MEMS 技术已经充分证明了重要的新市场并不一定需要最新的与 300mm 晶圆结合的晶体管技术。2007 年，随着智能手机的出现，MEMS 市场开始兴起。今天，MEMS 增长包括无人机和物联网网络设备在内的新应用，基本与智能手机保持同步。MEMS 高端传感器（HES）支持工业和商业需求，以及五年前并不存在的虚拟助手和其他终端应用产品。MEMS 的理想晶圆尺寸目前为 200 毫米，这已经促成在中国建设了六个新的 200 毫米晶圆厂，用来满足全球的产能需求。

许多专家认为，在如英特尔，三星和台积电等制造商预测的大规模采用极紫外（EUV）光刻将在这个十年的后期发生之前，节点迁移将水平或垂直转移到 3D 设计。许多人预计 7 纳米与之前一个节点相比有显著的改善，这可能会延迟对 5 纳米器件的需求到 21 世纪 20 年代末。制造人员还有望创造融合任意数量的非传统方法的混合技术，包括碳纳米线，完全耗尽的绝缘硅（FDSOI）以及不同类型的晶圆键合。我们可以预期在 7/5 纳米开始大量采用前，将有 FinFET 和其他 10 纳米架构的多次迭代。与此同时，CEA Leti 的研究人员报告说，他们的 3D 堆叠技术 CoolCube 已经达到了新的性能里程碑，并且现在正在寻求进行试生产的制造合作伙伴。该 CoolCube 方法相对于其他键合技术采用较低的温度，从而在对准和其他工艺步骤期间能够更好地保持晶体管的功能。CoolCube 在早期



晶圆-晶圆键合实现下一代芯片

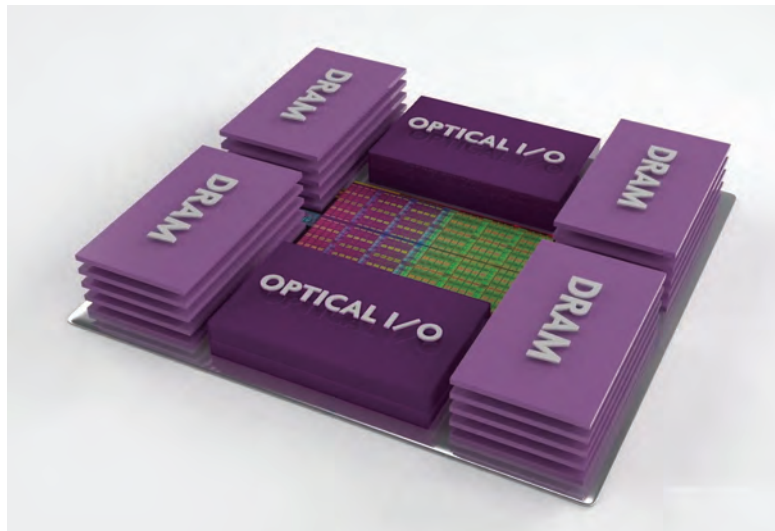
生产阶段获得了 1nm 或更小的偏移间距，而这样的对准精度通常需要某些更高温度的工艺。

寻找器件演进和缩小新方法的驱动力也是设计和制造能力日益不同的产物。传统的节点缩放已经变得非常昂贵，以至于它不再是提高密度和性能的“必要”解决方案。

即使那些全球最大的公司也在探索替代方案。对于无法投入数十亿美元到每个新节点的无厂设计团队尤其如此，因为并不总是有百万级器件市场机会来摊销高达 10 位数的投资。虽然无厂设计人员正在寻求替代方案，但三星和苹果等主要消费设备制造商正着手构建自己的移动设备芯片，而包括亚马逊，Facebook 和谷歌在内的主要数据中心运营商正在构建设计云芯片。这种转变意味着独立开发商的规模量产市场将会减少，而多层次 / 多代产品生命周期内可以分摊高成本设计和工厂成本的情况则会更少。

大多数制造商和供应链供应商都希望有一条充满了全新的应用产品（如智能手机和笔记本电脑）的管道，饥渴等待着数百万量级的高价芯片。相反，新机遇只需要数百万个器件，或数十万个芯片来支持汽车，物联网（IoT），机器学习，增强 / 虚拟现实，医疗设备，可穿戴和印刷柔性电路应用。即使令人兴奋的新兴市场，例如已经产生数十亿收入的物联网，也会寻求低成本芯片，其中物联网技术中的主要潜在用户正在寻求每芯片低于 1 美元的先进器件。尽管与高价传统处理器相比，显然是“少量的钱”，但是，包括 IoT/IIoT 在内的新兴应用已经在推动市场，2017 年将半导体产量提高了 20%。

预计 2017 年销售额将突破 4000 亿美元，而晶圆厂设备销售额也首次跃升至 500 亿美元以上，这是历史上首次突破的里程碑。2017 年的增长率很不寻常，新兴应用获得了如此多的收益这一事实，促使市场分析师预测



多核处理器再分区原理图

出 2018 年及以后的稳健机遇。SEMI 贸易组织估计，到 2020 年，汽车电子市场（ADAS, 汽车自动化, 信息娱乐等）将实现 2800 亿美元的销售额，而到 2024 年，电子医疗器件将增长到超过 2 亿美元。如今的 2 万亿美元供应链预计到 2022 年将达到 4 万亿美元。这就是市场巨大的潜力。

替代技术需求不单单是受成本和复杂性限制的驱动。人们越来越认识到，与传统 2D 架构中的 28nm 晶体管相比，在高级节点时设计、检查和测试器件将更加困难。自从工业界进行了下一代集成电路尝试以来，人们对影响器件性能和产品寿命的物理效应现在有了更充分的了解。随着几何尺寸的缩小和芯片通过更薄晶圆制造，从而热量累积、ESD 和信号干扰也逐渐成为更严重的问题；这通常会导致更复杂（和昂贵）的测试协议和解决技术。较小的芯片也经常具有不同的电流要求，从而能够在越来越复杂的电路路径上加速信号，而即使是在微瓦范围内的逐步增加，这仍然是设计人员和制造人员必须克服的障碍。

在越来越多的移动应用中，这些因素尤其令人担忧。一个很好的新挑战例子就是我们在较大节点时可以处理的光刻边缘位置误差（EPE），但随着几何尺寸缩小到 7/5nm 及以下，这种误差会越来越大。EUV 本身并不能解决所有与节点减小和晶体管特征尺寸缩小相关的问题。对于万亿分之一的要求，消除缺陷也变得更具挑战性，这会影响到整个供应链中的多种关键资源，从液体和气体化学品到过滤，次洁净区真空和减排，等等。在原子尺度和变化上，并没有完美平滑线段这样的东西，这些在较大的节点处无关紧要的东西，可能在 10 纳米以下就是“杀手”。

与器件尺寸缩小、性能提升和功耗相关，各种不同大小的问题都正在通过各种各样的新工具 and 材料创新寻找解决方案。此外，对现有技术的产能和精度进行改进的新工艺和技术正显示出前景，不仅适用于新兴的市场，而且还可以降低成本，并允许我们今天在数百万级的器件市场中形成更多的差异化产品。

应用材料公司作为一家长期业界领先的材料创新供应商，正在展望下一代需求，同时支持全球规模制造中心当前的需求。在 2017 SPIE 的先进光刻会议上，应用材料公司刻蚀和图案化战略副总裁 Uday Mitra 共同撰写了一篇关于减少边缘位置误差的论文，报告称通过使用该公司的 Sym3 反应器和专有技术，他们将

关键线条误差率（LRE）从标准的 3.4nm 降至 1.3nm。通过使用最新的、高度先进的 3D 建模程序例如 Coventor 的软件解决方案，设计人员能够在虚拟空间中进行工艺集成实验，从而也可以获得性能提升。这些数据还提供了一种方法，用来估计由于侧壁剖面和 LER 的变化而导致的图案转移中良率的损失。

半导体供应链领导者还瞄准更多元化的国际制造业社区的需求，通过扩展、多样化和综合服务来满足当前和未来设计人员和制造人员的需求。AP & S 国际有限公司（德国多瑙埃兴根）是一家重塑自身，扩大并重新设计其产品以满足全球制造商需求的公司典范。该公司专注于湿法工艺的不同方面，并提供独特的金属剥离方法来支持 3D 器件制造以及前端和后端生产链的解决方案。

为了支持所有具有独特要求的大公司、研究小组和初创公司，AP & S 公司提供各种各样的设备，从手动湿式工作台开始，到全自动化的多腔室系统，同时还有全新的和翻新的设备。AP & S 公司认识到，越小的客户通常需要越多帮助来将新工具整合到他们的运营中，该公司提供广泛的售前和售后支持，其中包括一个功能齐全的演示中心，客户可以在其中试用然后来决定是否购买。现在，AP & S 提供的支持包括全天候客户支持的不增长的物联网接口阵列，让技术人员随时可以访问。在 SEMICON Europa（2017 年 11 月）上，该公司引入了增强现实项目，专门用于诊断和故障排除。这些附加功能和客户服务理念贯穿于他们提供的所有内容中，对于解决生产周期中可能出现的各种问题特别有益。AP & S 还修复设备（包括他

们自己的和其他主要品牌)，从而帮助创业公司和研究机构利用好有限的设备预算资金。

更新更小的半导体通常设计为利用超薄晶圆，这呈现为其独特的拾取和测试要求。在整个生产过程中，特别是在研磨和抛光（CMP 工艺阶段）期间发生的缺陷，可能会破坏脆弱的芯片或给定了最终的器件失效阶段。

UnitySC（法国格勒诺布尔）正在扩张，部分原因是其 4See 系列产品超越了传统的背面晶圆检测，非常受欢迎。他们采用相移偏转（PSD）和共形共焦（CC）检测技术的方法，设计用来发现纳米级缺陷；Unity 的系统是独一无二的，并获得了专利授权。许多客户正在使用 UnitySC 的系统，用于检查双层双极 IGBT 功率器件。该公司预计，针对每代新器件，

采用单一工具在半导体背面及正面发现更多缺陷将变得越来越重要，公司因而将获得更大的成长潜力。

2017 年，Rudolph Technologies 鲁道夫技术公司宣布，其 Firefly 检测系统在中国销售猛增，并且第一批交付的设备已经认证进入生产，这也是扩大对精密检测和度量工具依赖的另一个迹象。Firefly 提供高分辨率的视觉和非视觉检测，从而支持各种先进的封装工艺，包括扇出晶圆级封装，板级和晶圆级 CSP。鲁道夫预计 2017 年第三季度该系统的收入将超过 500 万美元。

随着各种下一代器件架构从设计转向生产，2017 年也经历了传统上不被视为持续创新来源领域的增长：次洁净区。Reno Sub-Systems 里诺子系统公司（美国内华达州里诺市）宣布，其 2017 年年底的融资计划获得了 1120 万美元的投资，这本身并不是多大的纪录，但有趣的是主要支持者包括英特尔投资，三星风险投资公司，日立高科，SK 海力士（韩国内存芯片强厂），Lam Research（2017 年购买高级建模专业公司 Coventor）和 MKS 仪器公司（美国，有亚洲、欧洲和北美办事处）。

里诺专注于两项主要技术：芯片制造中使用的气体流量控制和工艺电气负载的阻抗匹配的射频功率发生。与传统解决方案相比，该公司的两款主要产品的性能均大幅提升，并专门针对了下一代器件制造的要求，相信其中严格控制的性能和更快的生产对公司的成功将是至关重要的。

随着越来越多的半导体制造商针对未来市场将他们的路径多样化，这反过来又驱动了供应商的响应能力，



EVG GEMINI 自动生产型晶圆键合系统

这些供应商不断面临挑战来开发新的方法以应对未来的需求。一家针对产品线不断增长响应的公司是 Brewer Science 公司（美国），该公司提供满足关键器件架构需求的材料和工艺，可以在减少晶圆应力，翘曲和高温限制的同时，实现更快的产量和更小的外形尺寸。

Brewer Science 公司的临时键合和剥离技术特别适用于扇出晶圆级封装（FO-WLP）。虽然“芯片最先”（chip-first）方法已经一直在用于大批量生产，但“芯片最后”（chip-last）方法仍在发展中。Brewer 将其许多产品解决方案视为为客户提供的全面选择，而无论采取的是哪种方式。

就像服务于供应链不同部分的其他公司一样，Brewer 公司提供了各种各样的选项以适应全球制造业的多样性。Brewer 已经支持跨越多代器件的临时键合 / 剥离要求，并且是为数不多的支持各种主要类型物理剥离方法的公司之一。他们的产品不断发展，现在包括采用激光系统的第四代解决方案；他们成功地提高了工艺温度范围，目前支持高达 350℃。

“我们在制造 2.5D，3D，化合物半导体，扇出（fan-out）和其他工艺流程方面拥有近 15 年的临时粘合材料开发和商业化经验。我们很早就意识到，一种产品甚至一种临时粘合材料的平台可能并不会适用于高级封装应用中所使用的所有工艺。每种工艺流程或器件类型都有一套独特的要求，而我们提供广泛的粘合材料和释放层组合，旨在支持这些单独的工艺。这种做法的结果是使得客户利益最大化，具体说就是在高产能和低拥有成本基础上提供简单

的工艺。” Ram Trichur, Brewer Science 公司的晶圆级封装业务发展总监说。

Trichur 说, 公司对最新一代工具越来越感兴趣, 特别是在亚洲, 尤其是中国。“我们所有的客户都从我们提供的优势中受益, 而其中一些客户的成功案例尤为引人注目。一家北美的化合物半导体器件的制造商采用蜡材料来粘合, 由于蜡的热性能和机械性能差, 其背面工艺期间总良率的损失约为 30%。引进了我们一种新的临时粘合材料, 其良率随后增加到 99% 以上,” Trichur 说。

除了能够提高掩模对准精度并能够在较低温度下实现更薄膜工艺的解决方案外, 制造商还在寻求原子级沉积 (ALD) 及其近亲原子级刻蚀 (ALE) 以远胜以往地更精确控制材料去除。目前的刻蚀剂通常用于去除整个晶圆上的材料, 这并不总是我们希望得到的。ALE 提供更高的精度以及在该领域的不断进步, 从而正在重新定义精确刻蚀。应用材料公司认为他们的工艺与 ALE 互补, 为客户提供更多的控制, 包括正在研究的新方法可以在不大幅



AP&S总部的生产间

延迟生产、不实施 EUV 或安装其他前沿光刻工具的情况下“去除”不需要的材料。

定向自组装 (Directed Self Assembly, DSA) 作为支持先进节点缩小的手段, 同时还有助于降低线边缘粗糙度 (LER) 而继续获得关注。Brewer Science 公司于 2015 年与 Arkema 集团合作, 促成第一代 DSA 聚合物的大批量生产。Arkema 是一家总部位于法国的高性能材料专业公司, 其全球业务和 2016 年销售额达 75 亿欧元。Brewer 公司也正在开发第二代聚合物, 这对于在未来的节点中启用 DSA 至关重要。现在 Brewer 和 Arkema 之间的合作关

系正在寻求商业化这些高 k 嵌段共聚物用于 DSA。第一代聚合物支持低至 22nm 的器件, 而第二代聚合物则支持 5nm 及以下的器件, Brewer 公司和大多数行业专家一致认为, 在不依赖 EUV 或复杂的多步图案化方案情况下来扩展到器件缩小是至关重要的。

“DSA 代表了比 EUV 更低成本和更高产能的解决方案, 但另一个巨大的成本优势在于降低了掩模需求。DSA 仍然需要光刻和刻蚀工艺, 但与多步图案化相比, 这些成本更低。EUV 掩模是 EUV 步骤成本的重要组成部分。DSA 还提供了一项技术优势, 现在它就可以达到比其他图案技术更小的特征尺寸,” Brewer 公司的半导体业务发展总监 Hao Xu 说。

除了比 EUV 更具成本优势之外, Brewer 还表示它将探索 DSA, 因为他们认为该工艺与 EUV 互补。已经使用 EUV 的公司可能会得出结论, 将 DSA 与 EUV 相结合可以更好地支持他们实现目标。

“DSA 和 EUV 是互补的, 因为更小的间距可以用 EUV 打印, 而无法用浸没式光刻技术打印。更小的间距意味着两件事情: 使用 DSA 可以降低倍乘因子, 从而降低缺陷的可能性。此外, 存在使用 EUV 时在化学外延流体中消除修整刻蚀台阶的可能性。EUV 还可以提供用于接触孔倍增的制图外延法模板。同样重要的是要注意, 由于 EUV 在较小节点处的分辨率限制, DSA 有可能帮助延缓时间, 甚至消除对高 NA (数值孔径) EUV 工具的需求,” Xu 补充说。

EMP 高性能材料 (Merck KGaA 公司的一个部门, 德国达姆施塔特) 继续发展其对先进半导体工艺材料科学的承诺。Merck 集成电路材料事业部负责人 Rico Wiedenbruch 表示, 他的部门专注于行业面临的许多与尺寸缩小相关的挑战, 提供各种新颖的解决方案来满足这些需求, 并解决挑战物理极限的尺寸缩小障碍。他表示, 该公司用于原子层沉积的先进前驱体材料是生产非常薄、高度可控共形薄膜的交钥匙解决方案。

EMP 产品组合扩展到传统半导体制造的许多领域, 包括前端和后端封装。Wiedenbruch 表示 EMP 最新的解决方案瞄准微处理器、DRAM 和 NAND 闪存, 并且正在扩展用于支持存储器件和 3D NAND 单元的 ALD 前驱体。他注意到客户面临的某些最大问题与图案坍塌有关, 这

个可以通过他们的工艺冲洗材料的 FIRM 生产线来解决；他们还为 DSA 提供嵌段共聚物。他们的 RELACS 收缩材料工艺线设计用于支持制造可能比以前窄得多的器件特征尺寸。

半导体器件的垂直堆叠已成为一种用来实现更高器件密度和更高性能的越来越可行的方法。晶圆-晶圆键合是构建3D堆叠器件的关键步骤。

虽然材料供应商正在为下一代节点开发和验证资源，但其他公司正在利用这些工具来进一步推进 3D 堆叠等技术。CEA Leti（格勒诺布尔）和 EV Group（奥地利圣弗洛里安）于 2017 年末宣布，他们已经实现了两家公司都认为的业界第一：一种成功的 300mm 晶圆-晶圆直接混合键合，间距尺寸连接小至 $1\mu\text{m}$ 。

半导体器件的垂直堆叠已成为一种用来实现更高器件密度和更高性能的越来越可行的方法。晶圆-晶圆键合是构建 3D 堆叠器件的关键步骤。要求晶圆之间的密切对准和重叠精度，从而实现良好的电接触，同时最小化键合界面处的互连区域。这是一个关键因素，因为实现它以后可以增加每个晶圆上更多可用的芯片空间，从而提高良率。支持组件路线图所需间距的不断减小，正在推动每一代新产品都采用更紧密的晶圆-晶圆键合规范。在法国格勒诺布尔的 Leti 设施的产品演示使用了 EV Group 的 Gemini FB XT 自动生产型键合系统。

“据我们所知，这是第一次报道的 1.5 微米以下的铜线混合键合可行性证明，” Leti 的键合工艺工程主管 Frank Fournel 表示，“这次最新的演示代表了真正的突破和重要的一步，将促进高密度 3D 芯片堆叠实现并最终商业化。”

对晶体管设计和制造的替代方法的研究是 Leti、imec 集团（比

利时鲁汶）和德国以及其他地方的多个弗劳恩霍夫研究所的一项强有力活动。imec 研究人员最近的一个公告涉及栅全纳米线场效应晶体管（FET），其中组织成一种新的垂直配置。这种技术被认为是一个强有力的候选，可以扩展今天的 CMOS 缩小到其极限。imec 指出，由于具有优异的性能-面积比，垂直纳米线似乎特别吸引人们用来制造高密度静态随机存取存储器（SRAM）单元。此外，当用于构建这些 SRAM 单元时，垂直纳米线 FET 可以在混合尺寸缩小中发挥关键作用，这是一种新兴的方法，集成了片上系统中的多个晶体管架构。

纳米线 FET 可以以横向或垂直配置实施。横向配置的器件仍然使用传统的 2D 布局，这意味着它们最终会达到与现有 FinFET 已经遇到的障碍类似的物理限制。在水平组织纳米线的情况下，可用于栅和接触布置的空间将变得非常小，从而可能器件都不能有效运行。

另外，后工艺中，越来越狭窄的空间有太多的金属线会引起互连路有阻塞和电流泄漏的可能性。imec 研究人员认为这些问题为垂直 GAA 纳米线 FET 提供了机会。采用这些器件，设计可以从二维布局转变为三维布局，其中栅极长度在垂直方向上定义。这种颠覆性创新需要早期的工艺设计协同优化，但这也意味着在不消耗更大晶圆面积的情况下，栅极长度可以更加宽松。这还允许纳米线直径的一些弛豫，同时保持对短沟道效应的控制。



AP&S 全自动A系列湿法工作台



AP&S演示中心

结论

传统的 CMOS 尺寸缩小正变得越来越复杂和昂贵，这导致半导体制造商寻求替代来满足在更低成本下的更高性能需求。这种驱动力包括开发极紫外（EUV）光刻来取代多步图案浸没光刻；ASML（荷兰）和大型制造商英特尔和三星最新的 EUV 预测表明 EUV 正在达到稳定。

一旦实施，EUV 可能需要进一步改进，从而扩展每小时能够以可接受良率生产的晶圆数量。英特尔、三星和台积电都表示，他们计划在未来介于 7 纳米和 5 纳米之间

的技术节点上使用 EUV。与此同时，所有主要制造商正在寻求长期器件尺寸减小的替代方案，这可能完全避免采用 EUV 或延迟其推出时间。

缩小尺寸（有或没有 EUV）到低于 5nm 是可能的。越来越多的研究人员，器件制造人员和材料专家正在探索替代先前在向新节点转变时所采用的“暴力”缩小方法，即传统的尺寸缩小过程中相对简单的实施。

毫无疑问，针对高性能要求的未来晶体管设计将包括可以使用键合和堆叠器件的各种 3D 架构以及替代技术，比如由 Globalfoundries，意法半导体，CEA Leti 和三星等众多公司领衔的完全耗尽型绝缘体上硅（FD-SOI）。

原子尺度沉积和刻蚀将可能支持这些策略，因为材料科学在支持新架构和工艺技术方面将继续发挥更大的作用。

全球半导体市场中，在控制成本的同时，多种策略肯定会出现成为提高性能的有效手段。虽然包括智能手机、计算和娱乐在内的主要消费类产品部分，预计将继续以大批量推动内存和其他高性能应用，但更多的机会正在出现，需要更低的批量方法和快速的定制。

新兴应用，例如物联网、IIoT、汽车电子、医疗和可穿戴电子产品正在形成一个全新的全球半导体市场，并将在未来几年持续发展。◆

大连化物所全固态柔性平面锂离子微型电容器研究获进展

中国科学院大连化学物理研究所研究员吴忠帅二维材料与能源器件研究组团队与中科院院士包信和团队及清华大学深圳研究生院副教授贺艳兵合作，开发出一种具有高能量密度、良好柔性、优异高温稳定性及高度集成化的全固态平面锂离子微型电容器。相关研究成果发表在《能源和环境科学》（Energy Environ.Sci.）上。

近年来，可穿戴、便携式电子设备以及微机电系统（如微型机器人、微型传感器）正朝着轻薄短小、多功能集成的方向快速发展，极大地促进了现代社会对于高功率密度、高能量密度、柔性化、模块化集成等特征的微型储能器件的需求。传统锂离子电池由于具有锂离子电池的高能量密度，又具有超级电容器的高功率密度而备受关注。然而，其三明治堆叠结构的器件构型极大地限制了其机械柔性、高温性能以及模块化集成能力。

最近，该研究团队在国际上率先开发出一种新概念的

全固态柔性平面锂离子微型电容器。该微型电容器以高导电石墨烯为集流体，以高电压离子凝胶作为电解质，以纳米钛酸锂为负极和活化石墨烯为正极构筑出高离子电子传导的平面交叉指型微电极，进而在一个基底上组装出全固态锂离子微型电容器。该锂离子微型电容器具有高能量密度 53.5mWh/cm^3 ，高于目前报道的锂薄膜电池和微型超级电容器。同时，该锂离子微型电容器具有优异的循环稳定性，6000 次循环后电容保持率为 98.9%；具有高温电化学稳定性，能在 80°C 条件下稳定工作；以及具有优异的机械柔性，在各种弯曲和扭曲状态下达到性能基本没有衰减。此外，该锂离子微型电容器表现出良好的模块化集成能力，无需金属连接体，可有效调控输出的工作电压和容量。因此，该工作为开发柔性化、小型化、智能化储能器件提供了新的策略。

上述工作得到国家自然科学基金、国家重点研发计划、国家青年千人计划等项目的资助。