

浅析高速系统协同设计

摘要：随着国内IC设计服务行业收入的迅猛增长，与之相关的封装、PCB、信号完整性仿真等的设计服务需求也相应增长，而 IC-PACKAGE-PCB 间的协同设计（CO-DESIGN）的需求更是越来越大，提高CO-DESIGN的效率以确保IC从设计完成到其成功应用变得越来越重要。本文对于目前EDA软件商提供的CO-DESIGN设计流程作了优点和不足分析，并提出了一种在现有CO-DESIGN流程基础上更高效的CO-DESIGN设计方法。

背景

2017

1946

28.15%

2017

300

!

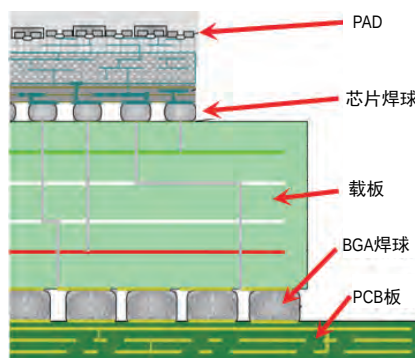


图1. CO-DESIGN结构方式。

CO-DESIGN简述

IC

PCB

CO-DESIGN

CO-DESIGN

PACKAGE-PCB

IC

1

IC-

60mm × 60mm

12(5-2-5)

IC

BGA

BALL

PCB

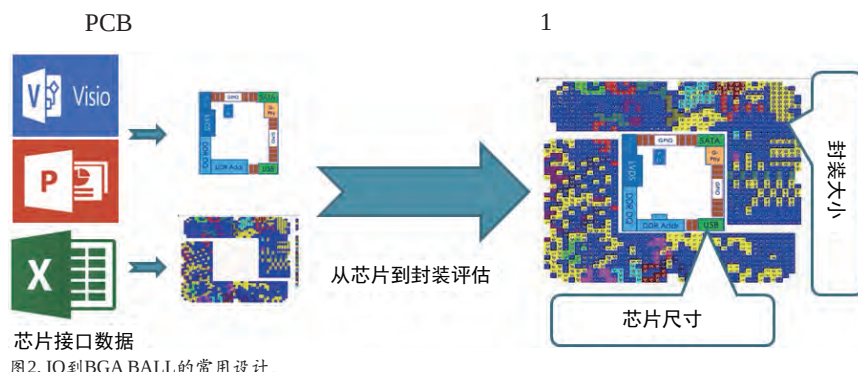


图2. IO到BGA BALL的常用设计。

1 BUFFER → BUMP
→ SUBSTRATE → PCB CO-
DESIGN

CO-DESIGN

PCB
PCB
CO-DESIGN
PCB

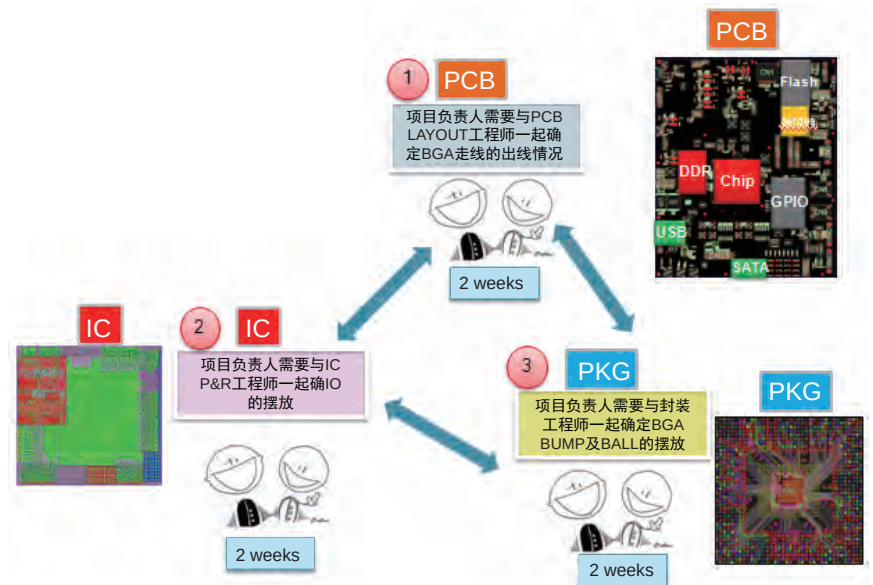


图3. IC-PKG-PCB间设计时遇到的问题。

“

EXCEL

CO-DESIGN ”

VISIO

CO-DESIGN
IC

IC-PACKAGE-

1

PPT VISIO
IP

PCB

常见设计流程与方法

2

IO
BGA

CO-DESIGN

LEADFRAME

BGA

PIN MAP

2

PCB

PIN MAP

PCB

CO-

DESIGN

CO-DESIGN
Hisilicon

“ ”

Reviewed

CO-DESIGN

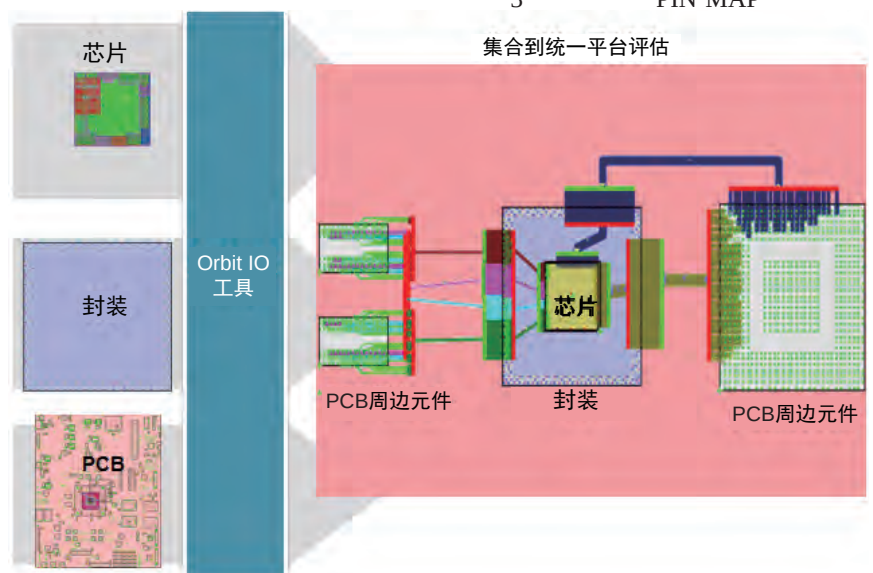


图4. IC PACKAGE PCB 统一到同一平台评估。

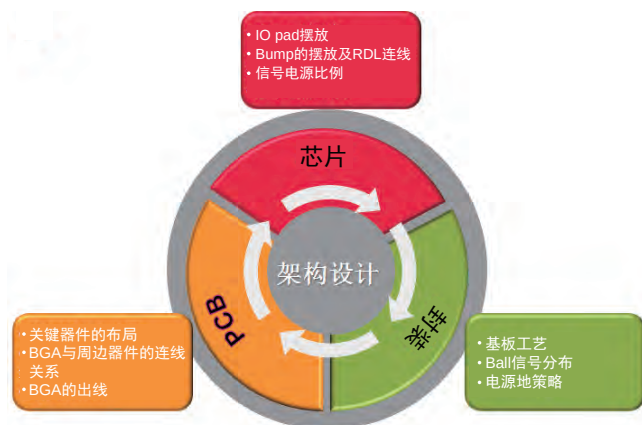


图5. 系统架构定义时涉及的技术。

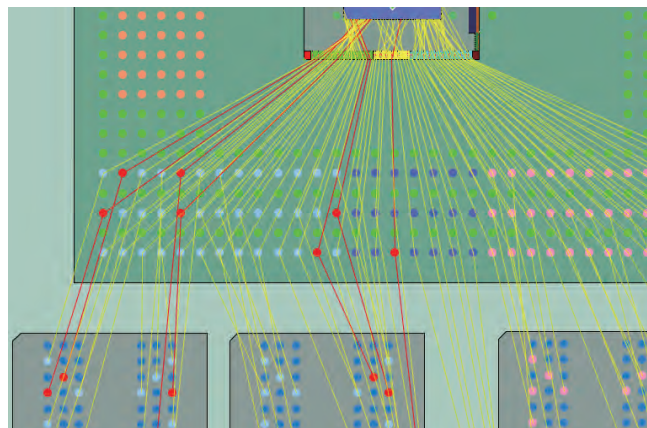
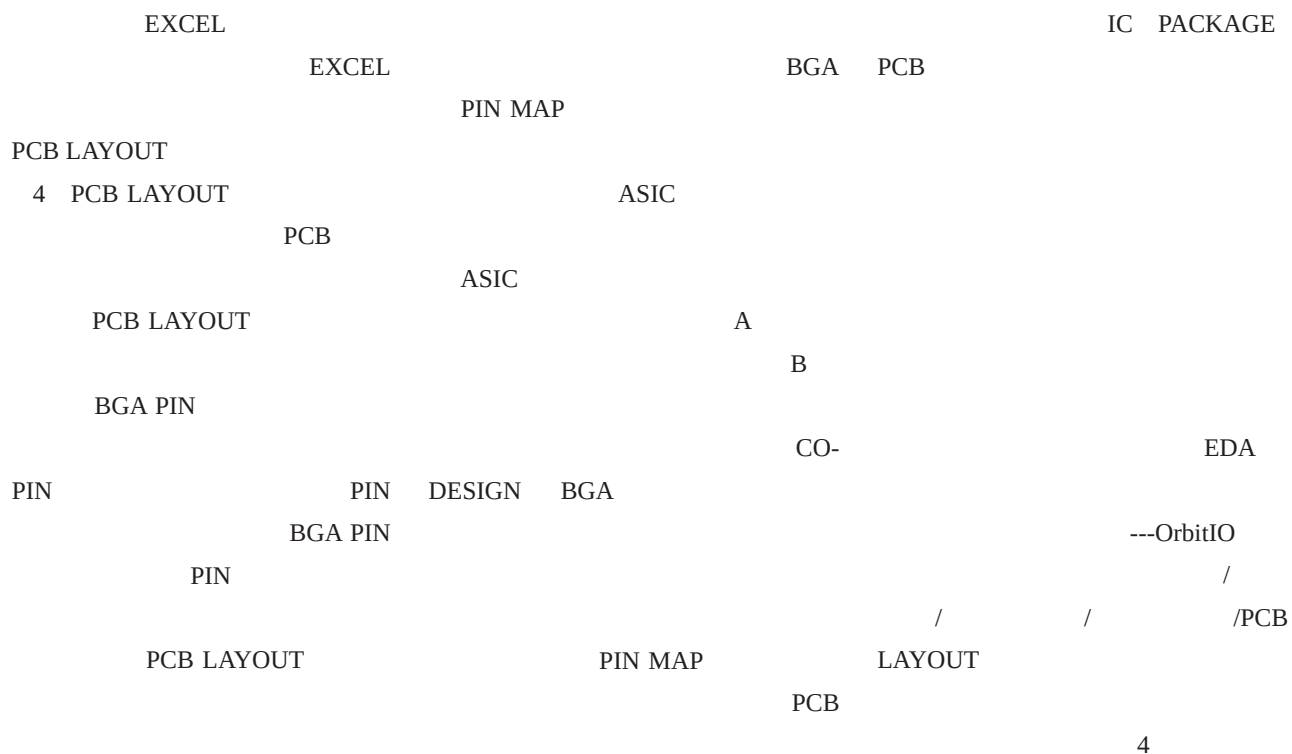


图6. OrbitIO设计样例。



CO-DESIGN流程

IC-PKG-PCB

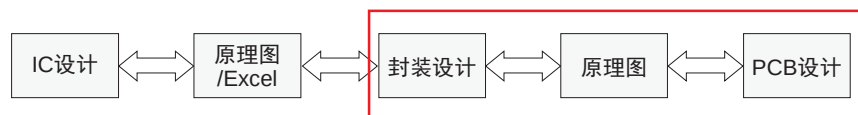


图7. 详细设计阶段CO-DESIGN的现有流程。

BGA

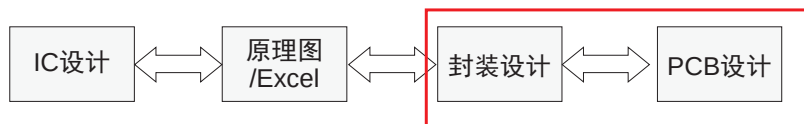
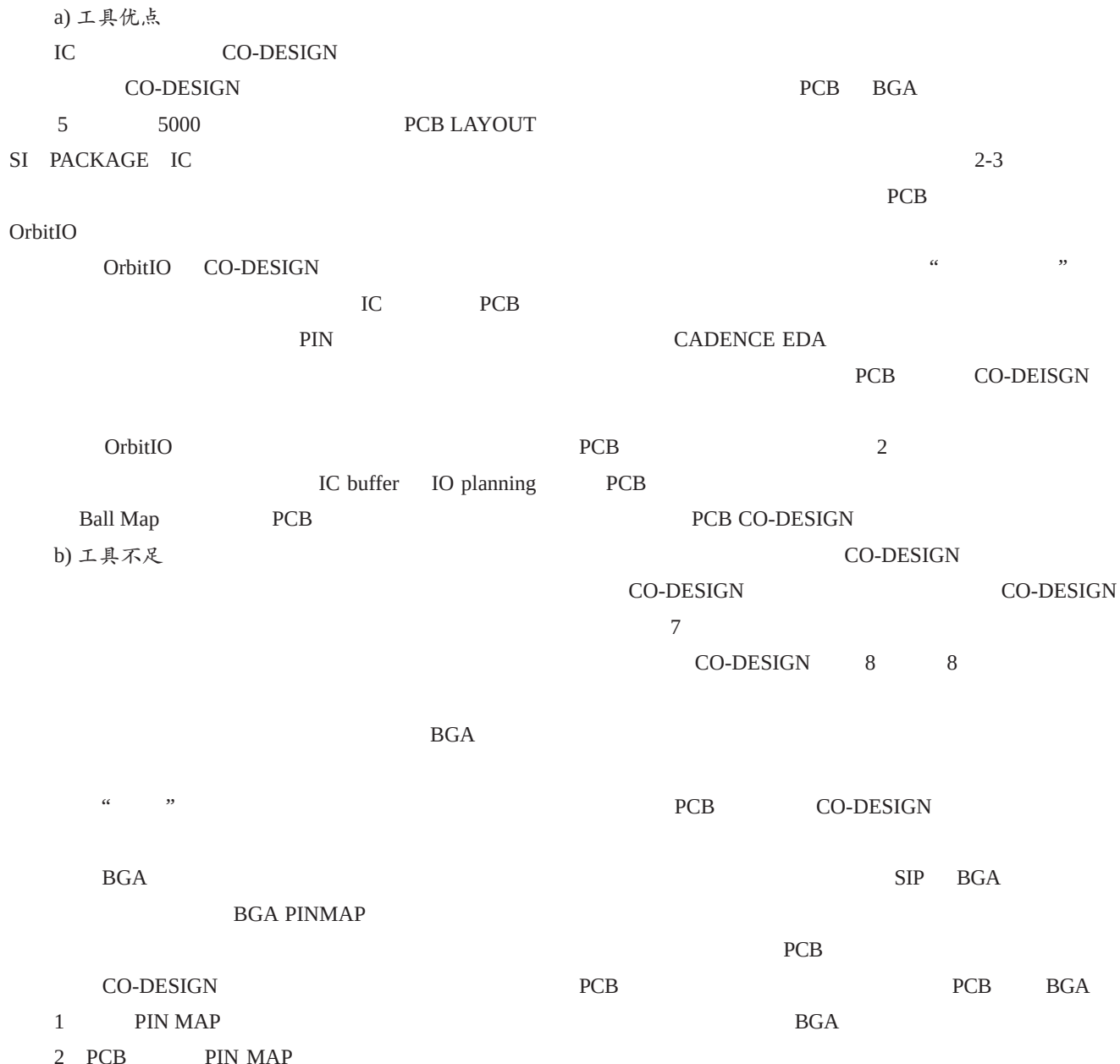


图8. 详细设计阶段CO-DESIGN的新方法流程。



基于现有CO-DESIGN的改进方法

OrbitIO IC

IC PKG PCB



图9.小软件程序界面示意图。

```
$NETS
AVDD_PLL_GEN_A ; LGA2.394 U1.V23
AVDD_PLL_GEN_B ; LGA2.395 U1.V22
AVDD_PLL_GEN_DDR ; LGA2.398 U1.U20
AVDD_PLL_GPU ; LGA2.401 U1.W20
AVDD_PLL_SYS ; LGA2.387 U1.W24
AVDD_PLL_VGA ; LGA2.402 U1.W21
AVSS_PLL_GEN_A ; LGA2.388 U1.V24
AVSS_PLL_GEN_B ; LGA2.399 U1.V21
AVSS_PLL_GEN_DDR ; LGA2.396 U1.V21
AVSS_PLL_GPU ; LGA2.400 U1.V20
AVSS_PLL_SYS ; LGA2.393 U1.W23
AVSS_PLL_VGA ; LGA2.397 U1.W22
AXI_CLK_SEL_0 ; LGA2.113 U1.AE7
AXI_CLK_SEL_1 ; LGA2.104 U1.AD7
BLANK0 ; LGA2.457 U1.H11
BLANK1 ; LGA2.470 U1.E7
DDRCLK_SELO ; LGA2.103 U1.AH1
DDRCLK_SEL1 ; LGA2.102 U1.AG1
DDR_IV1 ; C63.1 C64.1 C65.1 C66.1 C67.1 C68.1 LGA2.428 LGA2.430 U1.K22 U1.K21 U1.L22 U1.L21
DDR_IV5 ; C8.1 C9.1 C10.1 C11.1 C12.1 C13.1 C14.1 C15.1 C16.1 C17.1 C18.1 ,
U1.U25 U1.U23 U1.T27 U1.T26 U1.T24 U1.R27 U1.R25 U1.R23 U1.P26 U1.P24 ,
U1.N27 U1.N25 U1.N23 U1.M26 U1.M24 U1.L27 U1.L25 U1.L23 U1.K26 U1.K24 ,
U1.J27 U1.J25 U1.J23 U1.J20 U1.J18 U1.J16 U1.J14 U1.H26 U1.H25 U1.H23 ,
U1.H21 U1.H19 U1.H17 U1.H15 U1.H13 U1.G28 U1.G26 U1.G24 U1.G22 U1.G20 ,
U1.G18 U1.G16 U1.G14 U1.F27 U1.F25 U1.F23 U1.F19 U1.F15 U1.E28 U1.E26 ,
U1.E24 U1.E22 U1.E20 U1.E18 U1.E16 U1.E14 U1.E12 U1.E10 ,
C19.1 C20.1 C21.1 C22.1 C23.1 C24.1 C25.1 C26.1 C27.1 C28.1 C29.1 ,
C30.1 C31.1 C32.1 C33.1 C34.1 C35.1 C36.1 C37.1 C38.1 C39.1 C40.1 ,
C41.1 C42.1 C43.1 C44.1 C45.1 C46.1 C47.1 C48.1 C49.1 C50.1 C51.1
```

图10.程序处理完后PCB的第三方网表文件。

PCB BGA

1 PCB

BGA

PIN

PCB PIN

1

APD

11

SIP BGA

PCB

IC-PACKAGE-PCB

总结

CO-DESIGN

EDA

OrbitIO

EDA

CO-DESIGN

CO-DESIGN

ALLEGRO

10

2 SIP BGA

3 PCB BGA

PCB

Pin IO Information:

Pin	Type	SigNoise Model	Net
A1	BI	CDSDefaultIO_2p5v	VSS
A2	BI	CDSDefaultIO_2p5v	GREEN_0_2
A3	BI	CDSDefaultIO_2p5v	GREEN_0_1
A4	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A5	BI	CDSDefaultIO_2p5v	DDR3_D_DQS1
A6	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A7	BI	CDSDefaultIO_2p5v	DDR3_D_DQ9
A8	BI	CDSDefaultIO_2p5v	DDR3_D_DQ8
A9	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A10	BI	CDSDefaultIO_2p5v	DDR3_D_DQS0
A11	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A12	BI	CDSDefaultIO_2p5v	DDR3_D_DQ1
A13	BI	CDSDefaultIO_2p5v	DDR3_D_DQ0
A14	BI	CDSDefaultIO_2p5v	DDR3_VSSQ

*更详细的算法及描述请参考专利号为《201711204389.1》的专利说明。

*程序下载请看微信公众号amao_eda365 上的说明。

图11.程序处理完后APD的网表文件.

1. 毛忠宇、潘计划、袁正红编着《IC封装基础与工程设计实例》，电子工业出版社，ISBN: 9787121234156，出版时间：2014-07-01

2. 毛忠宇着,《华为研发14载-那些一起奋斗过的互连岁月》,电子工业出版社,ISBN: 9787121284373,出版时间: 2016-04-01

3. 毛忠宇、杨晶晶、刘志瑞、李生编着
《信号、电源完整性仿真设计与高速
产品应用实例》，电子工业出版社，
ISBN：9787121331220，出版时间：
2017-12-31